

대한민국 특허청  
KOREAN INTELLECTUAL PROPERTY OFFICE

별첨 사본은 아래 출원의 원본과 동일함을 증명함.

This is to certify that the following application annexed hereto  
is a true copy from the records of the Korean Intellectual  
Property Office.

출원번호 : 10-2003-0042850  
Application Number

출원년월일 : 2003년 06월 27일  
Date of Application JUN 27, 2003

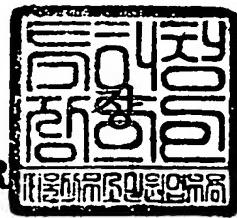
출원인 : 삼성전자주식회사  
Applicant(s) SAMSUNG ELECTRONICS CO., LTD.

2003 년 07 월 16 일



특허청

COMMISSIONER



## 【서지사항】

【서류명】	특허출원서
【권리구분】	특허
【수신처】	특허청장
【제출일자】	2003.06.27
【발명의 명칭】	노광 방법 및 이를 이용한 액정 표시 장치용 박막 트랜지스터 기판의 제조 방법
【발명의 영문명칭】	Method Of Exposing And Method of Manufacturing Thin Film Transistor Of Liquid Crystal Display Device
【출원인】	
【명칭】	삼성전자 주식회사
【출원인코드】	1-1998-104271-3
【대리인】	
【성명】	박영우
【대리인코드】	9-1998-000230-2
【포괄위임등록번호】	1999-030203-7
【발명자】	
【성명의 국문표기】	안순일
【성명의 영문표기】	AHN, Soon Il
【주민등록번호】	780429-2121224
【우편번호】	612-052
【주소】	부산광역시 해운대구 재송2동 코오롱아파트 109동 504호
【국적】	KR
【발명자】	
【성명의 국문표기】	나병선
【성명의 영문표기】	NA,Byoung Sun
【주민등록번호】	700313-1460020
【우편번호】	445-973
【주소】	경기도 화성군 태안읍 반월리 신영통 현대아파트 212동 1503호
【국적】	KR
【발명자】	
【성명의 국문표기】	이정영
【성명의 영문표기】	LEE, Jeong Young

【주민등록번호】	640205-1558313		
【우편번호】	449-846		
【주소】	경기도 용인시 수지읍 풍덕천리 진산마을 삼성5차아파트 503동 606호		
【국적】	KR		
【발명자】			
【성명의 국문표기】	송유리		
【성명의 영문표기】	SONG, You Lee		
【주민등록번호】	720805-2551033		
【우편번호】	137-888		
【주소】	서울특별시 서초구 양재1동 17-41 302호		
【국적】	KR		
【취지】	특허법 제42조의 규정에 의하여 위와 같이 출원합니다. 대 리인 우 (인) <span style="float: right;">박영</span>		
【수수료】			
【기본출원료】	20	면	29,000 원
【가산출원료】	53	면	53,000 원
【우선권주장료】	0	건	0 원
【심사청구료】	0	항	0 원
【합계】	82,000 원		
【첨부서류】	1. 요약서·명세서(도면)_1통		

**【요약서】****【요약】**

제품의 수율을 향상시킬 수 있는 노광 방법 및 이를 이용한 액정 표시 장치용 박막 트랜지스터 기판의 제조 방법이 개시되어 있다. 소정의 패턴이 형성된 마스크의 상부에서 광을 소정의 방향으로 스캔하는 방식으로 노광하여 기판상에 형성된 층에 패턴을 전사하는 단계를 포함하는 노광 방법에서, 광의 스캔 방향과 기판상에 형성된 층을 패터닝하여 형성하고자 하는 패턴의 길이 방향이 수직이 되도록 한다. 기판상에 형성하고자 하는 패턴이 절연층을 매개로 하여 상부 및 하부층 어느 하나의 층에 인접하여 형성되는 도전성 패턴과의 커플링에 의한 커패시턴스 차이가 발생되는 현상을 감소시킬 수 있기 때문에, 이로 인한 화질 불량을 방지할 수 있고 제품의 수율을 향상시킬 수 있다.

**【대표도】**

도 4c

**【명세서】****【발명의 명칭】**

노광 방법 및 이를 이용한 액정 표시 장치용 박막 트랜지스터 기판의 제조 방법  
{Method Of Exposing And Method of Manufacturing Thin Film Transistor Of Liquid Crystal Display Device}

**【도면의 간단한 설명】**

도 1a는 일반적인 노광광학계를 설명하기 위한 개략도이다.

도 1b는 노광시 플레이트와 마스크의 배치 관계를 설명하기 위한 개략적인 평면도이다.

도 2a 및 2b는 셀내에서 데이터선과 화소 전극간의 오버레이 틀어짐에 의한 패턴 사이즈 변동을 도시한 도면으로서, 도 2a는 하나의 셀내에서 측정 포인트를 나타내고 도 2b는 각 측정 포인트에서의 패턴 사이즈를 일렬로 도시한 것이다.

도 3a 및 3b 는 17"-TN 모드에서와 19"-PVA 모드에서의 액정 전압과 투과율의 상관 관계 및 액정 전압과 액정 커패시터와의 상관 관계를 나타내는 그래프이다.

도 4a 내지 4c는 마스크 스캔 방향에 따른 마스크의 종류와 셀 배치 방식을 나타내는 도면이다.

도 5는 데이터선과 화소 전극간의 오버레이 변동에 따른 휘도 변화를 나타내는 그 래프이다.

도 6은 데이터선 쉬프트에 따른 계조 변화 특성을 나타내는 그래프이다.

도 7은 오버레이  $1\mu m$  변동시 데이터선과 화소 전극간의 간격에 따른 휘도변화량을 나타내는 그래프이다.

도 8은 본 발명의 제1 실시예에 따른 액정 표시 장치용 박막 트랜지스터 기판이고,

도 9는 도 8의 II-II 선에 따라 자른 단면도이고,

도 10은 도 8의 III-III 선에 따라 자른 단면도이고,

도 11 내지 14는 본 발명의 제1 실시예에 따른 액정 표시 장치용 박막 트랜지스터 기판을 제조하는 중간 과정을 그 공정 순서에 따라 도시한 단면도이고,

도 15는 본 발명의 제2 실시예에 따른 액정 표시 장치용 박막 트랜지스터 기판의 배치도이고,

도 16 및 도 17은 각각 도 15의 VII-VII' 선 및 IX-IX' 선에 따라 자른 단면도이고,

도 18a 및 18b 내지 도 25a 및 25b는 각각 도 16 및 도 17에 나타난 박막 트랜지스터 기판의 제조 공정을 나타내는 단면도이다.

#### 【발명의 상세한 설명】

#### 【발명의 목적】

#### 【발명이 속하는 기술분야 및 그 분야의 종래기술】

<16> 본 발명은 노광 방법 및 이를 이용한 액정 표시 장치의 박막 트랜지스터 기판의 제조 방법에 관한 것으로서, 상세하게는 노광시 오버레이 틀어짐에 의한 불량을 감소시킬 수 있는 노광 방법 및 이를 이용함으로써 품질과 수율을 향상시킬 수 있는 액정 표시 장치의 박막 트랜지스터 기판의 제조 방법에 관한 것이다.

- <17> 일반적으로 표시 장치는 전기적인 신호를 시각 영상으로 변환시켜 인간이 직접 정보를 인식할 수 있도록 하는데 사용되는 전기 광학적인 장치이다. 이러한 표시 장치중 액정 표시 장치는 공통 전극과 컬러 필터 등이 형성되어 있는 상부 기판과 박막 트랜지스터와 화소 전극 등이 형성되어 있는 하부 기판 사이에 형성된 액정층으로 이루어져 있으며 상기 두 기판에 형성된 각각의 전극에 전압을 인가하여 액정층의 액정 분자의 배열을 변화시켜 투과되는 빛의 양을 조절하는 표시 장치이다.
- <18> 액정을 사용한 표시 장치에는 비디오 카메라의 뷰파인더(view finder)나 컬러 TV 또는 고선명 투사형(high definition projection-type) TV, 퍼스널 컴퓨터(personal computer), 워드 프로세서(word processor), 액정 모니터 등의 정보 표시 단말(information display terminal) 등 각종 분야에서 응용되고 있고, 개발, 상품화가 더욱 활발하게 행해지고 있다. 특히 스위칭 소자로서 박막 트랜지스터를 이용한 액티브 매트릭스형 방식의 TN (twisted nematic) 액정 표시 장치는 대용량의 표시를 하여도 높은 컨트라스트가 유지된다는 큰 특징을 갖고 있다. 특히, 현재 시장은 랩톱 퍼스널 컴퓨터(laptop personal computer)나 노트북 컴퓨터 또는 엔지니어링 워크 스테이션용의 대형, 대용량 풀 컬러 디스플레이(full color display)의 수요가 매우 높고 그것에 대응하여 개발, 상품화가 활발하게 진행되고 있다.
- <19> 액티브 매트릭스형으로는 종래의 단순 매트릭스(direct matrix)형과 비교되고 있는 액정의 구동 방식에 있어서, 매트릭스 상에 배치된 화소 전극(pixel electrode)에 각각 동적인 TFT 등의 스위칭 소자를 마련하고, 그들 스위칭 소자를 거쳐 각 화소 전극에 액정의 광학 특성을 제어하는 전기 신호를 독립적으로 공급하는 방식이다. 이 구동 방식은 원리적으로는 단순 매트릭스 방식으로 볼 수 있는 크로스 토크가 작고, 액정 표시 소자

의 대화면화, 고선명화, 다 계조 표시(multi-tone reproduction)에 매우 적합한 방식이다.

- <20> 이러한 액정 표시 장치의 두 기판중 하나의 기판은 전극에 인가되는 전압을 스위칭 하는 박막 트랜지스터를 갖는 것이 일반적이며, 이러한 박막 트랜지스터를 갖는 기판을 박막 트랜지스터 기판(또는 어레이 기판)이라 한다.
- <21> 박막 트랜지스터 기판에는 박막 트랜지스터 외에도 박막 트랜지스터의 게이트 전극에 연결된 게이트 라인 및 데이터 전극에 연결된 데이터 라인을 포함하는 배선, 외부로부터 신호를 인가 받아 상기 게이트 라인 및 데이터 라인으로 각각 전달하는 게이트 패드 및 데이터 패드가 형성되어 있다. 상기 게이트 라인과 데이터 라인이 교차하여 정의 되는 화소 영역에는 박막 트랜지스터와 전기적으로 연결되어 있는 화소 전극이 형성되어 있다.
- <22> 이러한 액정 표시 장치를 구동할 때 상기 데이터 라인에는 정극성(+) 전압과 부극성(-) 전압이 주기적으로 반전되어 입력되는데 상기 데이터 라인과 화소 전극간의 커플링 커패시터에 의해 상기 화소 전극의 전압이 상기 데이터 라인에 전달되는 전압의 변동에 따라 변화한다.
- <23> 한편, 상기 박막 트랜지스터 기판은 수회의 사진 식각 공정을 사용하여 배선, 박막 트랜지스터 및 화소 전극 패턴간의 서로 상대적 위치가 불균일하게 된다. 즉, 게이트 또는 데이터선을 형성하거나 각각의 화소에 화소 전극을 형성하는 경우에는 사진 노광 장치를 이용하게 된다. 이 때, 사진 노광 공정은 하나의 기판에 대하여 몇 개의 블록으로 나누어 실시하는 스텝퍼(stripper) 방식이 있으며, 한 번의 공정으로 실시하는 얼라이너(aligner) 방식 등이 있다.

- <24> 기판에 대한 일반적인 노광 방식을 캐논 노광기를 예로하여 간략하게 설명하면 다음과 같다. 도 1a에는 일반적인 노광광학계를 설명하기 위한 개략도를 나타내었고, 도 1b에는 노광시 플레이트와 마스크의 배치 관계를 설명하기 위한 평면도를 나타내었다.
- <25> 도 1a를 참고하면, 노광 광학계는 크게 기판상에 전사할 소정의 패턴이 형성된 마스크(10), 굴곡형 슬릿상 조명광원(20), 대형 미러(30), 오목 거울(40), 볼록 거울(50) 및 기판이 탑재되는 플레이트(60)를 포함한다. 조명광원(20)이 스캔 방향으로 이동하면서 마스크(10)를 지나면 마스크를 통과한 광이 대형 미러(30), 오목 거울(40), 볼록 거울(50) 등을 지나 굴곡형 슬릿 조명(70)으로서 플레이트(60) 상의 기판에 전사되는 것이다.
- <26> 도 1b를 참고하면, 마스크(10) 상에서 스캐닝 되는 광의 방향과 플레이트(60)와의 관계를 나타내었다. 마스크(10) 내에는 두 개의 셀이 배치되어 있고, 광원(20)은 마스크 상에서 굴곡형으로 스캐닝 되면서 마스크상에 형성된 패턴을 그대로 셀상에 전사시켜 주는 것이다. 한 번의 스캐닝에서 공정 수율의 향상을 위하여 셀은 가능한한 많은 수로 배치하게 된다.
- <27> 그런데, 이러한 노광 공정의 수행시에는 노광기가 정밀하더라도 정렬 오차는 발생 한다. 특히, 화소 전극과 데이터선을 다른 충으로 형성하는 경우에는 노광 공정이 서로 다르기 때문에 화소 전극과 데이터선의 간격이 설계치보다 크게 벗어나는 경우가 발생한다. 이 때 데이터선과 그들 사이에 형성되어 있는 화소 전극 사이에서 절연막을 매개로 하여 발생하는 커플링 용량(coupling capacitance)의 차이가 발생하고, 이로 인하여 같은 계조 전압을 인가하더라도 특히, 화소 전극과 데이터선의 간격이 상이하게 형성된다. 노광기로 스텝퍼를 이용하는 경우에는 하나의 표시 영역을 몇 개의 블록으로 나누어 노

광 공정을 실시하게 되므로 상기 간격이 블록을 단위로 다르게 된다. 이로 인하여 블록을 단위로 다른 밝기로 화상에 표시되어 바둑판 모양의 스티치 불량이 나타난다. 노광기로 얼라이너를 사용하는 경우에도 노광기 자체의 공정 능력에 의해서 또는 셀내 충간 오버레이가 틀어지면서 화면 얼룩이 발생하게 된다. 이러한 얼룩은 화면상에서 주로 세로줄 모양으로 나타나기 때문에 세로줄 얼룩이라고도 한다.

<28> 도 2a 및 2b에는 셀내에서 데이터선과 화소 전극간의 오버레이 틀어짐에 의한 패턴 사이즈 변동을 도시한 도면으로서, 도 2a는 하나의 셀내에서 12곳의 측정 포인트를 나타내고 도 2b는 각 측정 포인트에서의 패턴 사이즈를 일렬로 도시한 것이다. 도면으로부터 실제로 형성되는 데이터선 및 화소 전극간에는 측정 포인트에 따라서 국부적인 간격 차이가 있음을 확인할 수 있다. 이러한 차이가 데이터선과 화소 전극간의 커플링 커패시턴스 차이를 야기하게 된다. 이러한 전압 변동분의 미세한 차이가 화면상에서는 미세한 휘도 차이로 나타나며 특히 저계조에서 심하여 의견상 세로줄의 띠 형태로 나타난다.

<29> 커플링 커패시턴스 변동의 범위를 최소화하기 위한 방법중 가장 기본적인 방법으로는 화소 전극과 데이터선의 간격을 측정하고 이 간격을 기준으로 하여 노광기의 좌표를 보정하는 것이다. 실제로, 이러한 방법을 통하여 화소 전극과 데이터선의 간격은 허용치 이내로 관리되고 있다. 대한민국 공개 특허 제1999-81025호에서는 화소 전극과 데이터선의 간격 및 데이터선의 폭이 좁아지더라도 화소 전극과 데이터선의 간격을 정확하게 측정할 수 있는 박막 트랜지스터 기판을 개시하고 있다.

<30> 또한 대한민국 공개 특허 제1999-41951호에서는 스테퍼를 이용한 노광 공정의 수행 시에 정렬의 차이로 인하여 발생되는 데이터선과 화소 전극간의 커플링 용량의 차이 문

제를 해결하기 위하여 소스 전극을 화소 전극과 일체로 형성하는 방법을 개시하고 있다.

<31> 그런데, 최근 기판이 대형화되면서 마스크의 최대 노광 영역까지 셀을 배치하여 노광 공정을 실시하고 있다. 이 때, 마스크 설비 자체의 공정 능력에 의해서 셀 내에서 충간 오버레이가 틀어지면서 발생되는 세로줄 불량에 대해서는 해결 방안이 없는 실정이다. 특히 글래스 기판이 대형화될수록 국부적인 오버레이 틀어짐에 의한 불량이 수율 감소의 주요인이 되고 있다. 이는 최대 노광 가능 영역 범위를 활용하는 경우에 더욱 심하게 나타나기 때문인 것으로 생각된다.

#### 【발명이 이루고자 하는 기술적 과제】

<32> 본 발명의 목적은 상기한 문제점을 감안하여 창안된 것으로서, 특히 기판이 대형화되면서 발생되는 설비 자체의 능력에 의한 불량을 감소시키고 이로 인하여 야기되는 화면 얼룩을 방지할 수 있는 새로운 노광 방식을 제공하는 것이다.

<33> 본 발명의 다른 목적은 상기한 노광 방식을 적용하는 것에 의해 세로줄 불량을 감소시키고 수율을 향상시킬 수 있는 액정 표시 장치의 박막 트랜지스터 기판의 제조 방법을 제공하는 것이다.

#### 【발명의 구성 및 작용】

<34> 상기 목적을 달성하기 위하여 본 발명에서는, 소정의 패턴이 형성된 마스크의 상부에서 광을 소정의 방향으로 스캔하는 방식으로 노광하여 기판상에 형성된 층에 상기 패턴을 전사하는 단계를 포함하는 노광 방법에서, 상기 광의 스캔 방향과 상기 기판상에

형성된 층을 패터닝하여 형성하고자 하는 패턴의 길이 방향이 수직인 것을 특징으로 하는 노광 방법을 제공한다.

- <35> 특히, 이러한 방법은 상기 기판상에 형성하고자 하는 패턴이 절연층을 매개로 하여 상부 및 하부층 어느 하나의 층에 인접하여 형성되는 도전성 패턴과의 커플링에 의한 커패시턴스 차이가 발생되는 패턴인 경우에 용이하게 적용될 수 있으며, 구체적으로는 데이터선을 예로 들 수 있다.
- <36> 또한 상기 데이터선상에 절연층을 형성한 후, 도전성 패턴으로서 화소 전극의 형성을 위한 노광 공정의 수행시에도, 상기 광의 스캔 방향과 상기 데이터선의 길이 방향이 서로 수직이 되도록 하는 것이 바람직하며, 이러한 방법은 기판이 17" 이상의 사이즈를 갖는 액정 표시 장치를 형성하기 위한 경우에 용이하게 적용된다.
- <37> 상기한 본 발명의 다른 목적을 달성하기 위하여 본 발명에서는
- <38> 기판상에 게이트 배선층을 형성하는 단계;
- <39> 상기 게이트 배선층을 식각하여 게이트선, 게이트 끝단 및 게이트 전극을 포함하는 게이트 패턴을 형성하는 단계;
- <40> 게이트 절연막을 적층하는 단계;
- <41> 반도체층 패턴 및 저항성 접촉층 패턴을 형성하는 단계;
- <42> 데이터 배선 물질을 도포하고 상부에 포토레지스트층을 형성하는 단계;
- <43> 마스크를 개재하여 형성하고자 하는 데이터선의 길이 방향과 수직 방향으로 광을 스캐닝하여 상기 포토레지스트층을 노광하는 단계;

- <44> 포토레지스트층을 이용하여 패터닝함으로써 상기 게이트선과 교차하는 데이터선, 상기 데이터선과 연결되어 있는 데이터 끝단, 상기 데이터선과 연결되어 있으며 상기 게이트 전극에 인접하는 소스 전극 및 상기 게이트 전극에 대하여 상기 소스 전극의 맞은 편에 위치하는 드레인 전극을 포함하는 데이터 배선을 형성하는 단계;
- <45> 보호막을 형성하는 단계;
- <46> 상기 게이트 절연막과 함께 상기 보호막을 패터닝하여 상기 게이트 끝단, 상기 데이터 끝단 및 상기 드레인 전극을 각각 드러내는 접촉 구멍을 형성하는 단계;
- <47> 투명 도전막을 적층하는 단계; 및
- <48> 상기 투명 도전막을 식각하여 상기 게이트 끝단, 상기 데이터 끝단 및 상기 드레인 전극과 각각 연결되는 보조 게이트 끝단, 보조 데이터 끝단 및 화소 전극을 형성하는 단계를 포함하는 액정 표시 장치용 박막 트랜지스터 기판의 제조 방법을 제공한다.
- <49> 특히, 상기 화소 전극의 형성을 위하여 화소 전극상에 형성되는 포토레지스트층의 노광시, 광의 스캐닝 방향은 상기 데이터선과 수직 방향이 되도록 하는 것이 바람직하다
- <50> 또한 상기한 본 발명의 다른 목적은
- <51> 기판상에 게이트 배선층을 형성하는 단계;
- <52> 상기 게이트 배선층을 식각하여 게이트선, 게이트 끝단 및 게이트 전극을 포함하는 게이트 패턴을 형성하는 단계;
- <53> 게이트 절연막을 적층하는 단계;
- <54> 반도체층, 저항성 접촉층, 및 도전체층을 적층하는 단계;

- <55>        제1 부분, 상기 제1 부분보다 두께가 두꺼운 제2 부분, 상기 제1 두께보다 두께가 얇은 제3 부분을 가지는 감광막 패턴을 형성하되, 마스크를 개재하여 노광시 광의 스캐닝 방향과 형성하고자 하는 데이터선의 길이 방향이 수직 방향이 되도록 하여 노광 공정을 수행하는 단계;
- <56>        상기 감광막 패턴을 사용하여 데이터선 및 이와 연결된 데이터 끝단, 소스 전극 및 드레인 전극을 포함하는 데이터 배선, 그리고 저항성 접촉층 패턴 및 반도체층 패턴을 형성하는 단계;
- <57>        보호막을 형성하는 단계;
- <58>        상기 게이트 절연막과 함께 상기 보호막을 패터닝하여 상기 게이트 끝단, 상기 데이터 끝단 및 상기 드레인 전극을 각각 드러내는 접촉 구멍을 형성하는 단계;
- <59>        투명 도전막을 적층하는 단계; 및
- <60>        상기 투명 도전막을 식각하여, 상기 게이트 끝단, 상기 데이터 끝단 및 상기 드레인 전극과 각각 연결되는 보조 게이트 끝단, 보조 데이터 끝단 및 화소 전극을 형성하는 단계를 포함하는 액정 표시 장치용 박막 트랜지스터 기판의 제조 방법에 의해서도 달성된다.
- <61>        바람직하게, 상기 화소 전극의 형성을 위하여 화소 전극상에 형성되는 포토레지스트층의 노광시, 광의 스캐닝 방향은 상기 데이터선과 수직 방향이 되도록 한다.
- <62>        특히, 상기 제1 부분은 상기 소스 전극과 상기 드레인 전극 사이에 위치하도록 형성하고, 상기 제2 부분은 상기 데이터 배선 상부에 위치하도록 형성하는 것이 바람직하다.

<63> 이러한 본 발명에 의하면 노광시 데이터선과 마스크 스캔 방향이 수직이 되도록 배치하는 것에 의해 데이터선과 화소 전극간의 오버레이 마진을 증가시켜 이들간의 커플링 커페시턴스 변동을 감소시키고, 세로줄 불량에 의한 화면 얼룩을 개선할 수 있다.

<64> 이하, 본 발명을 첨부된 도면을 참고로 하여 더욱 상세히 설명하기로 한다.

<65> 세로줄 불량은 특히 화면이 대형화되고 해상도가 높을수록 심하게 나타난다. 이에 더하여 TN(twisted nematic) 모드에 비하여 PVA(patterned vertically aligned) 모드에서 더욱 심하게 나타난다. PVA 모드는 수직 배향 모드라고도 하며 대비비가 크고 광시야 각 구현이 용이하여 최근 각광받고 있다. 이러한 세로줄 불량 발생의 가장 큰 원인을 파악하기 위해 19"-PVA 모드에서 충간 쉬프트에 따른 세로줄 마진 시뮬레이션을 수행한 결과, 세로줄 얼룩이 발생될 수 있는 주요 인자는 데이터선-화소 전극간의 커플링으로 나타나고 있음을 확인할 수 있었다.

<66> 일반적으로 PVA 모드가 TN 모드에 비하여 세로줄 불량에 취약한 이유를 파악하기 위하여 19"-PVA 모드와 17"-TN 모드에 대하여 비교 시뮬레이션을 수행하였다. 세로줄이 시인적으로 가장 잘 나타나는 계조는 PVA: 60g/256g, TN: 40g/256g 임을 파악하였고 이 때  $|Vd|$  는 각각 4.6V, 6.9V 이었다. 결과를 하기 표 1에 도시하였다.

<67> 【표 1】

	19" E21(PVA)	17" EM5(TN)	비고
취약 계조	60g/256g	40g/256g	
취약 계조에서 투과율	5%	1%	white 100% 기준
$ Vd $	4.6V	6.9V	$ Vd  = 2 * V1c$
1계조 전압	8mV/1g	22.5mV/1g	취약 계조 기준

<68> 취약 계조에서 두 모드에 있어서 1계조간 전압이 상기 표 1에서와 같이 차이가 나는 이유는 다음과 같다. TN-PVA 상관성으로 배경 화면보다 조금 밝은 저계조 영역에서 세로줄이 잘 시인되는데, 이 때 V-T 곡선의 경사도(steepleness) 측면에서 PVA 모드가 TN 모드에 비해 더욱 급격하게 전압이 변하기 때문이다. 이를 그래프로 나타내면 다음과 같다.

<69> 도 3a 및 3b에는 17"-TN 모드에서와 19"-PVA 모드에서의 액정 전압과 투과율의 상관 관계 및 액정 전압과 액정 커패시터와의 상관 관계를 그래프로 나타내었다. 도면에서, 그래프 a는 PVA 모드에 대응되고 그래프 b는 TN 모드에 대응된다.

<70> 도 3a를 참고하면, 그래프 a에 비하여 그래프 b는 원으로 표시된 부분을 비교할 때, 경사도가 높다. 즉, PVA 모드의 경우에 적은 전압 변화만으로도 투과율의 변화가 크다는 의미가 된다. 이는 약간의 전압 변화에 의해서도 휘도 차이가 크게 나타나 쉽게 얼룩을 발생시킨다는 의미가 된다. 도 3b의 경우에도 마찬가지로 PVA 모드에 대응되는 그래프 b의 경우에 적은 전압 변화에 의해서 액정 커패시턴스의 변화가 크다는 것을 확인 할 수 있다.

<71> 이에 더하여, TN 모드의 경우에는 노말 상태에서 화이트 모드이고 전압이 인가되었을 때 블랙 모드이므로, 블랙 모드에서 약간의 전압차에 의한 휘도 변화는 시인이 쉽지 않다. 그러나 PVA 모드의 경우에는 노말 상태에서 블랙 보드이고 전압이 인가되었을 때 화이트 모드이므로, 화이트 모드에서는 약간의 전압차에 의해서도 휘도 변화가 크게 나타난다는 측면도 있다.

<72> 데이터선과 화소 전극간의 오버레이 틀어짐이 커플링 커패시턴스 변동의 주요인인데, 이는 마스크 스캔 방향과 데이터선의 길이 방향이 동일한 경우 데이터선과 화소 전

극간의 오버레이 마진이 작기 때문에 더욱 심하다. 그 이유는 노광 설비의 스캐닝 방향으로 스테이지의 진동, 플라이 아이(fly-eye)의 포커싱 산포 등에 취약하기 때문이다. 따라서 마스크의 스캔 방향과 데이터선 길이 방향의 상관성이 중요한데, 19" 제품과 같이 셀 사이즈가 커서 노광 설비의 마스크 노광 가능 영역을 최대한 사용하는 경우 셀내 데이터선과 화소 전극간의 오버레이 관리가 필수적이다. 결국 이러한 문제를 해결하기 위하여 본 발명에서는 마스크 스캔 방향과 데이터선의 길이 방향을 수직으로 배치할 것을 제안하는 것이다.

<73> 도 4a 내지 4c는 마스크 스캔 방향에 따른 마스크 배치 방식을 나타내는 도면이다. 도 4a는 현재 통마스크(11) 내에 2매의 셀(c1, c2)을 배치하여 스캐닝하는 방식을 나타내었다. 특히 세로줄 얼룩 관리가 강하게 요망되는 19" PVA 모드의 경우 현재, 도 1b에 나타난 바와 같이 노광시 포토 공정의 효율(tact time)을 높이기 위하여 통마스크(long mask)에 셀을 2매 배치하여 스캐닝을 실시하고 있다. 그런데 이러한 방식에 의하면 데이터선 길이 방향이 스캐닝 방향과 동일하여 세로줄 얼룩이 발생되기 쉽다. 이에 따라 도 4b에 나타난 바와 같이, 마스크의 스캔 방향과 데이터선의 길이 방향을 수직으로 하고 통마스크(11) 내에 2매의 셀(c3, c4)을 배치하고자 하였다. 그러나 이 경우, 셀이 길이 방향으로 배치되어야 하므로 통마스크(11) 내에 2매의 셀을 배치하는 것은 불가능하였다.

<74> 이에 따라, 도 4c에 나타난 바와 같이, 표준 마스크(12)를 배치하여 마스크 스캔 방향과 데이터선 방향을 수직이 되도록 해야 하는데, 이 경우에는 하나의 마스크내에 1매의 셀(c5) 배치가 가능하게 된다.

<75> 결국, 본 발명의 방법에 따라 마스크 스캔 방향과 데이터선의 방향을 수직으로 배치하기 위해서는 통마스크의 적용이 불가하므로 표준 마스크를 적용해야 한다. 이 경우, 포토 공정의 효율이 저하되므로, 세로줄 불량의 결정적인 요인이 되는 층의 형성시에만 1매의 셀이 배치되는 표준 마스크를 사용하도록 한다. 그러나, 게이트선, 활성층, 보호막 등과 같이 세로줄 불량에 크게 영향을 미치지 않는 다른 층의 형성시에는 방향성에 상관없이 진행이 가능하므로 2매의 셀이 배치 가능한 기존의 통마스크를 사용하는 방식으로 (mix and match) 포토 공정을 진행하는 것이 바람직하다.

<76> 본 발명자는 이러한 노광 공정에서의 새로운 배치 방식 적용에 더하여, 세로줄 불량을 제거하기 위하여 데이터선과 화소 전극간의 오버레이 마진을 증가시키는 다른 방안을 검토해 보았다. 세로줄 얼룩에 특히 취약한 19" PVA 모드에 대하여 17" TN 모드 수준으로 얼룩 발생률을 감소시키기 위한 방안으로서 다음과 같이 검토하였다.

<77> 상술한 바와 같이 V-T 곡선의 경사도 차이에 의하여 얼룩에 가장 취약한 계조에서 데이터선과 화소 전극 오버레이가  $1\mu\text{m}$  쉬프트 되었을 때 19" PVA 모드 휘도 변화량이 17" TN 모드 보다 커서 세로줄 얼룩이 용이하게 시인된다. 취약 계조에서의 휘도 변화를 표 2 및 도 5에 나타내었다.

<78> 【표 2】

	19" E21 (PVA)	17" EM5 (TN)	비고
취약 계조	60gray/256gray	40gray/256gray	
데이터선-화소 전극 오버레이 $1\mu\text{m}$ 쉬프트시 휘도 변화	1.6	1.17	공정 능력 $1\mu\text{m} \rightarrow 0.7\mu\text{m}$ 관리 요망

<79> 도 5에는 데이터선과 화소 전극간의 오버레이 변동에 따른 휘도 변화를 그래프로 나타내었다. 그래프 a는 19" PVA 모드에 대응되고, 그래프 b는 17" TN 모드에 대응되는

휘도 변화 그래프이다. 그래프로부터, 취약 계조에서의 휘도 변화량을 비교할 때, 19" PVA 모드에서의 휘도 변화량을 17" TN 모드에서의 휘도 변화량과 동일한 수준으로 관리하기 위해서는 데이터선과 화소 전극간의 오버레이 공정 능력을  $1\mu\text{m}$ 로부터  $0.7\mu\text{m}$  이내의 수준으로 관리해야 함을 확인할 수 있다.

<80> 결국 같은 19" PVA 모드에서 데이터선의 선폭에 따라서 커플링 커패시턴스가 달라지는데, 예를 들면 데이터선  $6\mu\text{m}$  디자인의  $7\mu\text{m}$  디자인에 비해 데이터선-화소 전극간 간격이 ACI(after cleaning inspection) 기준으로  $4.5\mu\text{m}$ 에서  $5.0\mu\text{m}$ 로 확대된다. 이로부터 약 0.3 gray의 개선 효과를 기대할 수 있다.

<81> 도 6에는 19" PVA 모드와 17" TN 모드에서 데이터선 쉬프트에 따른 계조 변화특성을 그래프로 나타내었다. 도 6에서 그래프 a는 ACI 기준으로 데이터선과 화소 전극간 간격이  $4.5\mu\text{m}$ 인 PVA 모드에 대한 것이고, 그래프 b는 데이터선과 화소 전극간 간격이  $5.0\mu\text{m}$ 인 PVA 모드에 대한 것이고, 그래프 c는 데이터선과 화소 전극간 간격이  $4.5\mu\text{m}$ 인 TN 모드에 대한 것이다. 그래프로부터, TN 모드에 비하여 PVA 모드에서 데이터선 쉬프트에 따른 계조 변화량이 크게 나타나며, 동일한 PVA 모드에 있어서는 데이터선과 화소 전극간의 간격이 짧을수록 데이터선 쉬프트에 따른 계조 변화량이 크게 나타남을 확인할 수 있다. 따라서 가능하면 이들간의 간격을 넓게 유지하는 것이 바람직함을 확인할 수 있다

<82> 그러나 데이터선과 화소 전극간의 간격을 이격시키면 개구율이 감소하는 단점이 있으므로 이격 간격을 원하는 만큼 넓힐 수는 없다. 이에 따라 최적의 이격 마진을 설정하는 것이 중요하다.

<83> 도 7에는 오버레이  $1\mu m$  변동시 데이터선과 화소 전극간의 간격에 따른 휘도변화량을 그래프로 나타내었다.

<84> 공정 관리 능력이  $1\mu m$ 인 경우에, 데이터선과 화소 전극 오버레이가  $1\mu m$  쉬프트 되었을 때, 데이터선과 화소 전극간의 간격을 나누어 휘도 변화량을 시뮬레이션 하였다. 그 결과, 이들간의 간격이  $6.5\mu m$  일 때 17" TN 의 휘도 변화량이 1.17 이하의 수준에 도달하였으나 19" PVA에서는 투과율 4.3% (색재현성 65%)에서 약 0.2%의 투과율 감소가 이루어졌다. 이를 도 7에 나타난 바와 같이 그래프에 매칭시켰을 때 TN 모드와 거의 유사한 수준의 휘도 변화를 갖는 PVA 모드에서 최적의 간격은 약  $6.25\mu m$  인 것으로 판단된다.

<85> 이상과 같은 고찰을 토대로 할 때, 결국 세로줄 불량을 감소시키기 위해서는 불량의 주요인이 되는 데이터선과 화소 전극간의 커플링 커패시턴스 변동을 줄이기 위하여 이들층을 형성할 때 노광 스캐닝 방향과 데이터선의 방향이 수직이 되도록 유지해야 한다. 이에 더하여, 데이터선과 화소 전극의 오버레이 관리 공정 능력을 개선하고 이들간의 간격을 최적으로 유지하는 것이 바람직함을 알 수 있다.

<86> 이하, 본 발명을 일반적인 액정 표시 장치용 박막 트랜지스터 기판의 제조 방식에 적용한 구체적인 실시예를 통하여 더욱 상세히 설명하기로 한다.

<87> 도 8은 본 발명의 제1 실시예에 따른 액정 표시 장치용 박막 트랜지스터 기판이고, 도 9는 도 8에 도시한 박막 트랜지스터 기판의 II-II선에 대한 단면도이고 도 10은 도 8에 도시한 기판의 III-III 선에 대한 단면도이다.

<88> 먼저, 도 8 및 도 9를 참고하면, 절연 기판(10) 위에 크롬, 알루미늄-네오듐 합금 등으로 이루어진 제1 게이트 배선층(221, 241, 261)과 알루미늄-네오듐 합금, 몰리브덴 등으로 이루어진 제2 게이트 배선층(222, 242, 262)의 이중층으로 이루어진 게이트 배선이 형성되어 있다. 게이트 배선은 가로 방향으로 뻗어 있는 게이트선(22), 게이트선(22)의 끝에 연결되어 있어 외부로부터의 게이트 신호를 인가받아 게이트선으로 전달하는 게이트 끝단(24) 및 게이트선(22)에 연결되어 있는 박막 트랜지스터의 게이트 전극(26)을 포함한다.

<89> 기판(10) 위에는 질화 규소( $\text{SiN}_x$ ) 따위로 이루어진 게이트 절연막(30)이 게이트 배선(22, 24, 26)을 덮고 있다.

<90> 게이트 전극(24)의 게이트 절연막(30) 상부에는 비정질 규소 등의 반도체로 이루어진 반도체층(40)이 섬 모양으로 형성되어 있으며, 반도체층(40)의 상부에는 실리사이드 또는 n형 불순물이 고농도로 도핑되어 있는 n+ 수소화 비정질 규소 따위의 물질로 만들어진 저항성 접촉층(54, 56)이 각각 형성되어 있다.

<91> 저항성 접촉층(54, 56) 및 게이트 절연막(30) 위에는 Ni-실리사이드층(62a, 65a, 66a, 68a) 및 제2 금속 물질층(62b, 65b, 66b, 68b)의 이중층으로 이루어진 데이터 배선층(62, 65, 66, 68)이 형성되어 있다. 데이터 배선(62, 65, 66, 68)은 세로 방향으로 형성되어 게이트선(22)과 교차하여 화소를 정의하는 데이터선(62), 데이터선(62)의 분지이며 저항성 접촉층(54)의 상부까지 연장되어 있는 소스 전극(65), 데이터선(62)의 한쪽 끝에 연결되어 있으며 외부로부터의 화상 신호를 인가받는 데이터 끝단(68), 소스 전극(65)과 분리되어 있으며 게이트 전극(26)에 대하여 소스 전극(65)의 반대쪽 저항성 접촉

층(56) 상부에 형성되어 있는 드레인 전극(66)을 포함한다. 데이터 배선(62, 65, 66, 68) 및 이들이 가리지 않는 반도체층(40) 상부에는 보호막(70)이 형성되어 있다.

<92> 보호막(70)에는 드레인 전극(66) 및 데이터 끝단(68)을 각각 드러내는 접촉 구멍(76, 78)이 형성되어 있으며, 게이트 절연막(30)과 함께 게이트 끝단(24)을 드러내는 접촉 구멍(74)이 형성되어 있다. 이때, 끝단(24, 68)을 드러내는 접촉 구멍(74, 78)은 각을 가지거나 원형의 다양한 모양으로 형성될 수 있다.

<93> 보호막(70) 위에는 접촉 구멍(76)을 통하여 드레인 전극(66)과 전기적으로 연결되어 있으며 화소에 위치하는 화소 전극(82)이 형성되어 있다. 또한, 보호막(70) 위에는 접촉 구멍(74, 78)을 통하여 각각 게이트 끝단(24) 및 데이터 끝단(68)과 연결되어 있는 보조 게이트 끝단(86) 및 보조 데이터 끝단(88)이 형성되어 있다. 여기서, 화소 전극(82)과 보조 게이트 및 데이터 끝단(86, 88)은 IZO(indium zinc oxide), ITO(indium tin oxide) 등으로 이루어져 있다.

<94> 여기서, 화소 전극(82)은 도 8 및 도 9에서 보는 바와 같이, 게이트선(22)과 중첩되어 유지 축전기를 이루며, 유지 용량이 부족한 경우에는 게이트 배선(22, 24, 26)과 동일한 층에 유지 용량용 배선을 추가할 수도 있다.

<95> 또, 화소 전극(82)은 데이터선(62)과 소정의 간격을 두고 이격되어 형성되어 있다. 다르게는, 화소 전극(82)을 데이터선(62)과 중첩하도록 형성하여 개구율을 극대화할 수도 있다.

<96> 도 10을 참고하면, 데이터선(62)과 화소 전극(82)간의 커플링 커패시턴스를 나타내고 있다. 데이터선(62)과 화소 전극(82)간의 간격은  $L_1$ ,  $L_2$ ,  $L_3$  및  $L_4$ 로 나타나고

있는데, 이들간의 간격에 따라 커플링 커패시턴스는  $C_1$ ,  $C_2$ ,  $C_3$  및  $C_4$ 로 나타나게 된다. 각 패턴이 디자인에 따라 정확한 간격으로 형성되면 간격  $L_1$ ,  $L_2$ ,  $L_3$  및  $L_4$ 는 동일하게 형성되고 이에 따라, 커플링 커패시턴스는  $C_1$ ,  $C_2$ ,  $C_3$  및  $C_4$ 도 동일한 값으로 나타나게 될 것이다. 그러나, 상술한 바와 같이 노광시 오버레이 틀어짐 등의 원인에 의하여 패턴 간의 간격이 틀어지면, 그 부분에서 커플링 커패시턴스 변동이 야기되고, 결국은 세로줄 불량을 가져오는 것이다.

<97> 그러면, 이러한 본 발명의 제1 실시예에 따른 액정 표시 장치용 박막 트랜지스터 기판의 제조 방법에 대하여 도 8 및 도 9와, 도 11 내지 도 14를 참고로 하여 상세히 설명한다.

<98> 먼저, 도 11에 도시한 바와 같이, 절연 기판(10) 위에 크롬, 알루미늄-네오듐 합금 등으로 이루어진 제1 게이트 배선층(221, 241, 261)과 알루미늄-네오듐 합금, 몰리브덴 등으로 이루어진 제2 게이트 배선층(222, 242, 262)의 게이트 배선층(222, 242, 262)을 적층한다. 이후 광에 의해 물에 대한 용해도가 변화되는 포토레지스트를 도포하여 포토레지스트층을 형성하도록 한다. 소정의 패턴을 갖는 마스크를 개재하고 형성될 게이트선의 길이 방향과 스캐닝 방향이 수직 방향이 되도록 노광한 후, 현상하여 포토레지스트 패턴을 형성하도록 한다. 형성된 포토레지스트 패턴을 이용하여 게이트 배선층을 패터닝하여 게이트선(22), 게이트 전극(26) 및 게이트 끝단(24)을 포함하는 가로 방향으로 뻗어 있는 게이트 배선을 형성한다.

<99> 다음, 도 12에 도시한 바와 같이, 질화 규소로 이루어진 게이트 절연막(30), 비정질 규소로 이루어진 반도체층(40), 도핑된 비정질 규소층의 삼층막을 연속하여 적층하고, 반도체층(40)과 도핑된 비정질 규소층을 사진 식각하여 게이트 전극(24) 상부

의 게이트 절연막(30) 위에 섬 모양의 반도체층(40)과 저항성 접촉층(55, 56)을 형성한다. 사진 식각 공정의 수행시 노광 공정은 광의 스캐닝 방향과 게이트선의 길이 방향이 수직이 되도록 하는 방향으로 수행하도록 한다.

<100> 다음, 도 13에 도시한 바와 같이, 몰리브덴 또는 몰리브덴-텅스텐 합금을 증착하여 데이터 배선층(65, 66, 68)을 적층하도록 한다. 이후, 포토레지스트를 도포 및 건조하여 포토레지스트층을 형성한다. 소정의 패턴이 형성된 마스크를 개재하고, 형성하고자 하는 데이터선의 길이 방향과 광의 스캐닝 방향이 수직 방향이 되도록 하여 상기 포토레지스트층을 노광하도록 한다. 현상후, 식각 공정을 수행하여 상기 금속층을 식각함으로써 게이트선(22)과 교차하는 데이터선(62), 데이터선(62)과 연결되어 게이트 전극(26) 상부까지 연장되어 있는 소스 전극(65), 데이터선(62)은 한쪽 끝에 연결되어 있는 데이터 끝단(68) 및 소스 전극(64)과 분리되어 있으며 게이트 전극(26)을 중심으로 소스 전극(65)과 마주하는 드레인 전극(66)을 포함하는 데이터 배선을 형성한다.

<101> 이어, 데이터 배선(62, 65, 66, 68)으로 가리지 않는 도핑된 비정질 규소층 패턴을 식각하여 게이트 전극(26)을 중심으로 양쪽으로 분리시키는 한편, 양쪽의 도핑된 비정질 규소층(55, 56) 사이의 반도체층 패턴(40)을 노출시킨다. 이어, 노출된 반도체층(40)의 표면을 안정화시키기 위하여 산소 플라스마를 실시하는 것이 바람직하다.

<102> 다음, 도 14에 나타난 바와 같은 보호막을 형성한다. 이어, 사진 식각 공정으로 게이트 절연막(30)과 함께 보호막을 패터닝하여, 게이트 끝단(24), 드레인 전극(66) 및 데이터 끝단(68)을 드러내는 접촉 구멍(74, 76, 78)을 형성한다. 여기서, 접촉 구멍(74, 76, 78)은 각을 가지는 모양 또는 원형의 모양으로 형성할 수 있다.

- <103> 다음, 마지막으로 도 8 및 9에 도시한 바와 같이, IZO를 증착하고 사진 식각하여 제1 접촉 구멍(76)을 통하여 드레인 전극(66)과 연결되는 화소 전극(82)과 제2 및 제3 접촉 구멍(74, 78)을 통하여 게이트 끝단(24) 및 데이터 끝단(68)과 각각 연결되는 보조 게이트 끝단(86) 및 보조 데이터 끝단(88)을 형성한다. 화소 전극의 형성을 위한 사진 식각 공정의 수행시, 바람직하게는 광의 스캐닝 방향과 데이터선의 길이 방향이 수직이 되도록 하여 노광 공정을 수행하는 것이 바람직하다.
- <104> IZO를 적층하기 전의 예열(pre-heating) 공정에서 사용하는 기체는 질소를 이용하는 것이 바람직하다. 이는 접촉 구멍(74, 76, 78)을 통해 노출되어 있는 금속막(24, 66, 68)의 상부에 금속 산화막이 형성되는 것을 방지하기 위함이다.
- <105> 이러한 방법은 앞에서 설명한 바와 같이, 5매의 마스크를 이용하는 제조 방법에 적용할 수 있지만, 4매 마스크를 이용하는 액정 표시 장치용 박막 트랜지스터 기판의 제조 방법에서도 동일하게 적용할 수 있다. 이에 대하여 도면을 참조하여 상세하게 설명하기로 한다.
- <106> 먼저, 도 15 내지 도 17을 참고로 하여 본 발명의 실시예에 따른 4매 마스크를 이용하여 완성된 액정 표시 장치용 박막 트랜지스터 기판의 단위 화소 구조에 대하여 상세히 설명한다.
- <107> 도 15는 본 발명의 제2 실시예에 따른 액정 표시 장치용 박막 트랜지스터 기판의 배치도이고, 도 16 및 도 17은 각각 도 15에 도시한 박막 트랜지스터 기판을 VIII-VIII' 선 및 IX-IX' 선에 따라 자른 단면도이다.

<108> 먼저, 제1 실시예와 동일하게 절연 기판(10) 위에 크롬, 알루미늄-네오듐 합금 등으로 이루어진 제1 게이트 배선층(221, 241, 261)과 알루미늄-네오듐 합금, 몰리브덴 등으로 이루어진 제2 게이트 배선층(222, 242, 262)의 이중층으로 이루어진 게이트 배선이 형성되어 있다. 게이트 배선은 게이트선(22), 게이트 끝단(24) 및 게이트 전극(26)을 포함한다.

<109> 기판(10) 위에는 게이트선(22)과 평행하게 유지 전극선(28)이 형성되어 있다. 유지 전극선(28) 역시 제1 및 제2 게이트 배선층(281, 282)의 이중층으로 이루어져 있다. 유지 전극선(28)은 후술할 화소 전극(82)과 연결된 유지 축전기용 도전체 패턴(68)과 중첩되어 화소의 전하 보존 능력을 향상시키는 유지 축전기를 이루며, 후술할 화소 전극(82)과 게이트선(22)의 중첩으로 발생하는 유지 용량이 충분할 경우 형성하지 않을 수도 있다. 유지 전극선(28)에는 상부 기판의 공통 전극과 동일한 전압이 인가되는 것이 보통이다.

<110> 게이트 배선(22, 24, 26) 및 유지 전극선(28) 위에는 질화 규소( $\text{SiN}_x$ ) 등으로 이루어진 게이트 절연막(30)이 형성되어 게이트 배선(22, 24, 26, 28)을 덮고 있다.

<111> 게이트 절연막(30) 위에는 수소화 비정질 규소(hydrogenated amorphous silicon) 등의 반도체 물질로 이루어진 반도체 패턴(42, 48)이 형성되어 있으며, 반도체 패턴(42, 48) 위에는 인(P) 등의 n형 불순물이 고농도로 도핑되어 있는 비정질 규소 등으로 이루어진 저항성 접촉층(ohmic contact layer) 패턴 또는 중간층 패턴(55, 56, 58)이 형성되어 있다.

<112> 저항성 접촉층 패턴(55, 56, 58) 위에는 Ni-실리사이드층(62a, 64a, 65a, 66a, 68a) 및 제2 금속 물질층(62b, 64b, 65b, 66b, 68b)으로 이루어진 데이터 배선층(62,

64, 65, 66, 68)이 형성되어 있다. 데이터 배선은 세로 방향으로 형성되어 있는 데이터 선(62), 데이터선(62)의 한쪽 끝에 연결되어 외부로부터의 화상 신호를 인가받는 데이터 끝단(68), 그리고 데이터선(62)의 분지인 박막 트랜지스터의 소스 전극(65)으로 이루어 진 데이터선부(62, 68, 65)를 포함하며, 또한 데이터선부(62, 68, 65)와 분리되어 있으 며 게이트 전극(26) 또는 박막 트랜지스터의 채널부(C)에 대하여 소스 전극(65)의 반대 쪽에 위치하는 박막 트랜지스터의 드레인 전극(66)과 유지 전극선(28) 위에 위치하고 있 는 유지 축전기용 도전체 패턴(64)도 포함한다. 유지 전극선(28)을 형성하지 않을 경우 유지 축전기용 도전체 패턴(64) 또한 형성하지 않는다.

<113> 접촉층 패턴(55, 56, 58)은 그 하부의 반도체 패턴(42, 48)과 그 상부의 데이터 배 선(62, 64, 65, 66, 68)의 접촉 저항을 낮추어 주는 역할을 하며, 데이터 배선(62, 64, 65, 66, 68)과 완전히 동일한 형태를 가진다. 즉, 데이터선부 중간층 패턴(55)은 데이터선부(62, 68, 65)와 동일하고, 드레인 전극용 중간층 패턴(56)은 드레인 전극(66)과 동일하며, 유지 축전기용 중간층 패턴(58)은 유지 축전기용 도전체 패턴(64)과 동일하다

<114> 한편, 반도체 패턴(42, 48)은 박막 트랜지스터의 채널부(C)를 제외하면 데이터 배 선(62, 64, 65, 66, 68) 및 저항성 접촉층 패턴(55, 56, 58)과 동일한 모양을 하고 있다. 구체적으로는, 유지 축전기용 반도체 패턴(48)과 유지 축전기용 도전체 패턴(64) 및 유지 축전기용 접촉층 패턴(58)은 동일한 모양이지만, 박막 트랜지스터용 반도체 패 텐(42)은 데이터 배선 및 접촉층 패턴의 나머지 부분과 약간 다르다. 즉, 박막 트랜지스 터의 채널부(C)에서 데이터선부(62, 68, 65), 특히 소스 전극(65)과 드레인 전극(66)이 분리되어 있고 데이터선부 중간층(55)과 드레인 전극용 접촉층 패턴(56)도 분리되어 있

으나, 박막 트랜지스터용 반도체 패턴(42)은 이곳에서 끊어지지 않고 연결되어 박막 트랜지스터의 채널을 생성한다. 데이터 배선(62, 64, 65, 66, 68) 위에는 보호막(70)이 형성되어 있다.

<115> 보호막(70)은 드레인 전극(66), 데이터 끝단(64) 및 유지 축전기용 도전체 패턴(68)을 드러내는 접촉구멍(76, 78, 72)을 가지고 있으며, 또한 게이트 절연막(30)과 함께 게이트 끝단(24)을 드러내는 접촉 구멍(74)을 가지고 있다.

<116> 보호막(70) 위에는 박막 트랜지스터로부터 화상 신호를 받아 상판의 전극과 함께 전기장을 생성하는 화소 전극(82)이 형성되어 있다. 화소 전극(82)은 IZO, ITO등과 같은 투명한 도전 물질로 만들어지며, 접촉 구멍(76)을 통하여 드레인 전극(66)과 물리적·전기적으로 연결되어 화상 신호를 전달받는다. 화소 전극(82)은 또한 이웃하는 게이트선(22) 및 데이터선(62)과 중첩되어 개구율을 높일 수도 있고 도면에서처럼 중첩되지 않을 수도 있다. 또한 화소 전극(82)은 접촉 구멍(72)을 통하여 유지 축전기용 도전체 패턴(64)과도 연결되어 도전체 패턴(64)으로 화상 신호를 전달한다. 한편, 게이트 끝단(24) 및 데이터 끝단(68) 위에는 접촉 구멍(74, 78)을 통하여 각각 이들과 연결되는 보조 게이트 끝단(86) 및 보조 데이터 끝단(88)이 형성되어 있으며, 이들은 끝단(24, 68)과 외부 회로 장치와의 접착성을 보완하고 끝단을 보호하는 역할을 하는 것으로 필수적인 것은 아니며, 이들의 적용 여부는 선택적이다.

<117> 그러면, 도 15 내지 도 17의 구조를 가지는 액정 표시 장치용 박막 트랜지스터 기판을 4매 마스크를 이용하여 제조하는 방법에 대하여 상세하게 도 15 내지 도 17과 도 18a 내지 도 25b를 참조하여 설명하기로 한다.

<118> 먼저, 도 18a 및 18b에 도시한 바와 같이, 제1 실시예와 동일하게 기판(10) 위에 크롬, 알루미늄-네오듐 합금 등으로 이루어진 제1 게이트 배선층(221, 241, 261)과 알루미늄-네오듐 합금, 몰리브덴 등으로 이루어진 제2 게이트 배선층(222, 242, 262)을 증착하여 게이트 배선층(222, 242, 262, 282)을 적층한 다음, 형성되는 게이트선과 수직 방향으로 광을 스캐닝하는 방식으로 노광하는 공정을 포함하는 사진 식각 공정을 수행하여 게이트선(22), 게이트 끝단(24), 게이트 전극(26)을 포함하는 게이트 배선과 유지 전극 선(28)을 형성한다.

<119> 다음, 도 19a 및 19b에 도시한 바와 같이, 질화 규소로 이루어진 게이트 절연막(30), 반도체층(40), 중간층(50)을 화학 기상 증착법을 이용하여 각각 1,500Å 내지 5,000Å, 500Å 내지 2,000Å, 300Å 내지 600Å의 두께로 연속 증착하고, 이어 몰리브덴 또는 몰리브덴-텅스텐 합금을 증착하여 도전체층(60)을 형성한 다음 그 위에 감광막(110)을 1μm 내지 2μm의 두께로 도포한다.

<120> 그 후, 마스크를 통하여 감광막(110)에 빛을 조사하되, 형성될 데이터선의 길이 방향과 수직 방향으로 스캐닝하는 방식으로 조사한 후 현상하여, 도 20a 및 20b에 도시한 바와 같이, 감광막 패턴(112, 114)을 형성한다. 이때, 감광막 패턴(112, 114) 중에서 박막 트랜지스터의 채널부(C), 즉 소스 전극(65)과 드레인 전극(66) 사이에 위치한 제1 부분(114)은 데이터 배선부(A), 즉 데이터 배선(62, 64, 65, 66, 68)이 형성될 부분에 위치한 제2 부분(112)보다 두께가 작게 되도록 하며, 기타 부분(B)의 감광막은 모두 제거 한다. 이 때, 채널부(C)에 남아 있는 감광막(114)의 두께와 데이터 배선부(A)에 남아 있는 감광막(112)의 두께의 비는 후에 후술할 식각 공정에서의 공정 조건에 따라 다르게

하여야 하되, 제1 부분(114)의 두께를 제2 부분(112)의 두께의 1/2 이하로 하는 것이 바람직하며, 예를 들면, 4,000Å 이하인 것이 좋다.

<121> 이와 같이, 위치에 따라 감광막의 두께를 달리하는 방법으로 여러 가지가 있을 수 있으며, A 영역의 빛 투과량을 조절하기 위하여 주로 슬릿(slit)이나 격자 형태의 패턴을 형성하거나 반투명막을 사용한다.

<122> 이때, 슬릿 사이에 위치한 패턴의 선 폭이나 패턴 사이의 간격, 즉 슬릿의 폭은 노광시 사용하는 노광기의 분해능보다 작은 것이 바람직하며, 반투명막을 이용하는 경우에는 마스크를 제작할 때 투과율을 조절하기 위하여 다른 투과율을 가지는 박막을 이용하거나 두께가 다른 박막을 이용할 수 있다.

<123> 이와 같은 마스크를 통하여 감광막에 빛을 조사하면 빛에 직접 노출되는 부분에서는 고분자들이 완전히 분해되며, 슬릿 패턴이나 반투명막이 형성되어 있는 부분에서는 빛의 조사량이 적으므로 고분자들은 완전 분해되지 않은 상태이며, 차광막으로 가려진 부분에서는 고분자가 거의 분해되지 않는다. 이어 감광막을 현상하면, 고분자 분자들이 분해되지 않은 부분만이 남고, 빛이 적게 조사된 중앙 부분에는 빛에 전혀 조사되지 않은 부분보다 얇은 두께의 감광막이 남길 수 있다. 이때, 노광 시간을 길게 하면 모든 분자들이 분해되므로 그렇게 되지 않도록 해야 한다.

<124> 이러한 얇은 두께의 감광막(114)은 리플로우가 가능한 물질로 이루어진 감광막을 이용하고 빛이 완전히 투과할 수 있는 부분과 빛이 완전히 투과할 수 없는 부분으로 나뉘어진 통상적인 마스크로 노광한 다음 현상하고 리플로우 시켜 감광막이 잔류하지 않는 부분으로 감광막의 일부를 흘러내리도록 함으로써 형성할 수도 있다.

<125> 이어, 감광막 패턴(114) 및 그 하부의 막들, 즉 도전체층(60), 중간층(50) 및 반도체층(40)에 대한 식각을 진행한다. 이때, 데이터 배선부(A)에는 데이터 배선 및 그 하부의 막들이 그대로 남아 있고, 채널부(C)에는 반도체층만 남아 있어야 하며, 나머지 부분(B)에는 위의 3개 층(60, 50, 40)이 모두 제거되어 게이트 절연막(30)이 드러나야 한다.

<126> 먼저, 도 21a 및 21b에 도시한 것처럼, 기타 부분(B)의 노출되어 있는 도전체층(60)을 제거하여 그 하부의 중간층(50)을 노출시킨다. 이 과정에서는 건식 식각 또는 습식 식각 방법을 모두 사용할 수 있으며, 이때 도전체층(60)은 식각되고 감광막 패턴(112, 114)은 거의 식각되지 않는 조건하에서 행하는 것이 좋다. 그러나, 건식 식각의 경우 도전체층(60)만을 식각하고 감광막 패턴(112, 114)은 식각되지 않는 조건을 찾기가 어려우므로 감광막 패턴(112, 114)도 함께 식각되는 조건하에서 행할 수 있다. 이 경우에는 습식 식각의 경우보다 제1 부분(114)의 두께를 두껍게 하여 이 과정에서 제1 부분(114)이 제거되어 하부의 도전체층(60)이 드러나는 일이 생기지 않도록 한다.

<127> 이렇게 하면, 도 21a 및 도 21b에 나타낸 것처럼, 채널부(C) 및 데이터 배선부(B)의 도전체층, 즉 소스/드레인용 도전체 패턴(67(67a, 67b))과 유지 축전기용 도전체 패턴(68(68a, 68b))만이 남고 기타 부분(B)의 도전체층(60)은 모두 제거되어 그 하부의 중간층(50)이 드러난다. 이때 남은 도전체 패턴(67(67a, 67b), 64(64a, 64b))은 소스 및 드레인 전극(65(65a, 65b), 66(66a, 66b))이 분리되지 않고 연결되어 있는 점을 제외하면 데이터 배선(62(62a, 62b), 64(64a, 64b), 65(65a, 65b), 66(66a, 66b), 68(68a, 68b))의 형태와 동일하다. 또한 건식 식각을 사용한 경우 감광막 패턴(112, 114)도 어느 정도의 두께로 식각된다.

<128> 이어, 도 22a 및 22b에 도시한 바와 같이, 기타 부분(B)의 노출된 중간층(50) 및 그 하부의 반도체층(40)을 감광막의 제1 부분(114)과 함께 건식 식각 방법으로 동시에 제거한다. 이 때의 식각은 감광막 패턴(112, 114)과 중간층(50) 및 반도체층(40)(반도체 층과 중간층은 식각 선택성이 거의 없음)이 동시에 식각되며 게이트 절연막(30)은 식각되지 않는 조건하에서 행하여야 하며, 특히 감광막 패턴(112, 114)과 반도체층(40)에 대한 식각비가 거의 동일한 조건으로 식각하는 것이 바람직하다. 예를 들어, SF<sub>6</sub>과 HC1의 혼합 기체나, SF<sub>6</sub>과 O<sub>2</sub>의 혼합 기체를 사용하면 거의 동일한 두께로 두 막을 식각할 수 있다. 감광막 패턴(112, 114)과 반도체층(40)에 대한 식각비가 동일한 경우 제1 부분(114)의 두께는 반도체층(40)과 중간층(50)의 두께를 합한 것과 같거나 그보다 작아야 한다.

<129> 이렇게 하면, 도 22a 및 22b에 나타낸 바와 같이, 채널부(C)의 제1 부분(114)이 제거되어 소스/드레인용 도전체 패턴(67(67a, 67b))이 드러나고, 기타 부분(B)의 중간층(50) 및 반도체층(40)이 제거되어 그 하부의 게이트 절연막(30)이 드러난다. 한편, 데이터 배선부(A)의 제2 부분(112) 역시 식각되므로 두께가 얇아진다. 또한, 이 단계에서 반도체 패턴(42, 48)이 완성된다. 도면 부호 57과 58은 각각 소스/드레인용 도전체 패턴(67(67a, 67b)) 하부의 중간층 패턴과 유지 축전기용 도전체 패턴(64(64a, 64b)) 하부의 중간층 패턴을 가리킨다.

<130> 이어 애싱(ashing)을 통하여 채널부(C)의 소스/드레인용 도전체 패턴(67(67a, 67b)) 표면에 남아 있는 감광막 찌꺼기를 제거한다.

<131> 다음, 도 23a 및 23b에 도시한 바와 같이 채널부(C)의 소스/드레인용 도전체 패턴(67(67a, 67b)) 및 그 하부의 소스/드레인용 중간층 패턴(57)을 식각하여 제거한다. 이

때, 식각은 소스/드레인용 도전체 패턴(67)과 중간층 패턴(57) 모두에 대하여 건식 식각만으로 진행할 수도 있으며, 소스/드레인용 도전체 패턴(67)에 대해서는 습식 식각으로, 중간층 패턴(57)에 대해서는 건식 식각으로 행할 수도 있다. 전자의 경우 소스/드레인용 도전체 패턴(67)과 중간층 패턴(57)의 식각 선택비가 큰 조건하에서 식각을 행하는 것이 바람직하며, 이는 식각 선택비가 크지 않을 경우 식각 종점을 찾기가 어려워 채널부(C)에 남는 반도체 패턴(42)의 두께를 조절하기가 쉽지 않기 때문이다. 습식 식각과 건식 식각을 번갈아 하는 후자의 경우에는 습식 식각되는 소스/드레인용 도전체 패턴(67)의 측면은 식각되지만, 건식 식각되는 중간층 패턴(57)은 거의 식각되지 않으므로 계단 모양으로 만들어진다. 중간층 패턴(57) 및 반도체 패턴(42)을 식각할 때 사용하는 식각 기체의 예로는 CF<sub>4</sub>와 HCl의 혼합 기체나 CF<sub>4</sub>와 O<sub>2</sub>의 혼합 기체를 들 수 있으며, CF<sub>4</sub>와 O<sub>2</sub>를 사용하면 균일한 두께로 반도체 패턴(42)을 남길 수 있다. 이때, 반도체 패턴(42)의 일부가 제거되어 두께가 작아질 수도 있으며 감광막 패턴의 제2 부분(112)도 이때 어느 정도의 두께로 식각된다. 이때의 식각은 게이트 절연막(30)이 식각되지 않는 조건으로 행하여야 하며, 제2 부분(112)이 식각되어 그 하부의 데이터 배선(62, 64, 65, 66, 68)이 드러나는 일이 없도록 감광막 패턴이 두꺼운 것이 바람직함은 물론이다.

<132> 이렇게 하면, 소스 전극(65)과 드레인 전극(66)이 분리되면서 데이터 배선(62, 64, 65, 66, 68)과 그 하부의 접촉층 패턴(55, 56, 58)이 완성된다.

<133> 마지막으로 데이터 배선부(A)에 남아 있는 감광막 제2 부분(112)을 제거한다. 그러나, 제2 부분(112)의 제거는 채널부(C) 소스/드레인용 도전체 패턴(67)을 제거한 후 그 밑의 중간층 패턴(57)을 제거하기 전에 이루어질 수도 있다.

<134> 앞에서 설명한 것처럼, 습식 식각과 건식 식각을 교대로 하거나 건식 식각만을 사용할 수 있다. 후자의 경우에는 한 종류의 식각만을 사용하므로 공정이 비교적 간편하지만, 알맞은 식각 조건을 찾기가 어렵다. 반면, 전자의 경우에는 식각 조건을 찾기가 비교적 쉬우나 공정이 후자에 비하여 번거로운 점이 있다. 다음, 도 24a 및 도 24b에 도시한 바와 같이 보호막(70)을 형성한다.

<135> 이어, 도 25a 및 25b에 도시한 바와 같이, 보호막(70)을 게이트 절연막(30)과 함께 사진 식각하여 드레인 전극(66), 게이트 끝단(24), 데이터 끝단(68) 및 유지 축전기용 도전체 패턴(64)을 각각 드러내는 접촉 구멍(76, 74, 78, 72)을 형성한다. 이때, 끝단(24, 68)을 드러내는 접촉 구멍(74, 78)의 면적은  $2\text{mm} \times 60\mu\text{m}$ 를 넘지 않으며,  $0.5\text{mm} \times 15\mu\text{m}$  이상인 것이 바람직하다.

<136> 마지막으로, 도 15 내지 도 17에 도시한 바와 같이,  $400\text{ \AA}$  내지  $500\text{ \AA}$  두께의 IZO층을 증착하고 사진 식각하여 드레인 전극(66) 및 유지 축전기용 도전체 패턴(64)과 연결된 화소 전극(82), 게이트 끝단(24)과 연결된 보조 게이트 끝단(86) 및 데이터 끝단(68)과 연결된 보조 데이터 끝단(88)을 형성한다.

<137> 한편, IZO를 적층하기 전의 예열(pre-heating) 공정에서 사용하는 기체로는 질소를 사용하는 것이 바람직하며, 이는 접촉 구멍(72, 74, 76, 78)을 통해 드러난 금속막(24, 64, 66, 68)의 상부에 금속 산화막이 형성되는 것을 방지하기 위함이다.

<138> 이러한 본 발명의 제2 실시예에서는 제1 실시예에 따른 효과뿐만 아니라 데이터 배선(62, 64, 65, 66, 68)과 그 하부의 접촉층 패턴(55, 56, 58) 및 반도체 패턴(42, 48)을 하나의 마스크를 이용하여 형성하고 이 과정에서 소스 전극(65)과 드레인 전극(66)을 분리함으로써 제조 공정을 단순화할 수 있다.

**【발명의 효과】**

<139> 이상과 같은 본 발명에 의하면 새로운 노광 방식을 적용하는 것에 의해 데이터선과 화소 전극간의 커플링 커패시턴스 변동에 의한 휘도 변화를 줄일 수 있어서 세로줄 얼룩을 크게 감소시킬 수 있다. 이에 따라 세로줄 불량이 크게 개선되고 화면의 균일성이 확보되어 제품의 수율이 크게 향상된다. 본 발명자들의 실험 결과, 기존의 방식에 따라 기판을 제조시에는 세로줄 발생에 의한 손실로 인하여 수율이 약 20~30% 수준이었으나, 본 발명의 방식에 따라 기판을 제조시 수율이 약 50% 이상으로 향상됨을 확인할 수 있었다.

<140> 이상, 본 발명의 바람직한 실시예를 참조하여 설명하였지만 해당 기술분야의 숙련된 당업자라면 하기의 특허 청구의 범위에 기재된 본 발명의 사상 및 영역으로부터 벗어나지 않는 범위 내에서 본 발명을 다양하게 수정 및 변경시킬 수 있음을 이해할 수 있을 것이다.

**【특허청구범위】****【청구항 1】**

소정의 패턴이 형성된 마스크의 상부에서 광을 소정의 방향으로 스캔하는 방식으로 노광하여 기판상에 형성된 층에 상기 패턴을 전사하는 단계를 포함하는 노광 방법에서, 상기 광의 스캔 방향과 상기 기판상에 형성된 층을 패터닝하여 형성하고자 하는 패턴의 길이 방향이 수직인 것을 특징으로 하는 노광 방법.

**【청구항 2】**

제1항에 있어서, 상기 기판상에 형성되는 데이터선상에 절연층을 형성한 후, 도전성 패턴으로서 화소 전극의 형성을 위한 노광 공정의 수행시, 상기 광의 스캔 방향과 상기 데이터선의 길이 방향이 서로 수직인 것을 특징으로 하는 노광 방법.

**【청구항 3】**

제1항에 있어서, 상기 기판상에 형성되는 데이터선과 화소 전극간의 간격이 적어도  $6.25\mu m$  인 것을 특징으로 하는 노광 방법.

**【청구항 4】**

제1항에 있어서, 상기 마스크는 한 번에 하나의 셀을 노광시킬 수 있는 마스크인 것을 특징으로 하는 노광 방법.

**【청구항 5】**

기판상에 게이트 배선층을 형성하는 단계;  
상기 게이트 배선층을 식각하여 게이트선, 게이트 끝단 및 게이트 전극을 포함하는 게이트 패턴을 형성하는 단계;

게이트 절연막을 적층하는 단계;

반도체층 패턴 및 저항성 접촉층 패턴을 형성하는 단계;

데이터 배선 물질을 도포하고 상부에 포토레지스트층을 형성하는 단계;

마스크를 개재하여 형성하고자 하는 데이터선의 길이 방향과 수직 방향으로 광을

스캐닝하여 상기 포토레지스트층을 노광하는 단계;

포토레지스트층을 이용하여 패터닝함으로써 상기 게이트선과 교차하는 데이터선,

상기 데이터선과 연결되어 있는 데이터 끝단, 상기 데이터선과 연결되어 있으며 상기 게이트 전극에 인접하는 소스 전극 및 상기 게이트 전극에 대하여 상기 소스 전극의 맞은 편에 위치하는 드레인 전극을 포함하는 데이터 배선을 형성하는 단계;

보호막을 형성하는 단계;

상기 게이트 절연막과 함께 상기 보호막을 패터닝하여 상기 게이트 끝단, 상기 데이터 끝단 및 상기 드레인 전극을 각각 드러내는 접촉 구멍을 형성하는 단계;

투명 도전막을 적층하는 단계; 및

상기 투명 도전막을 식각하여 상기 게이트 끝단, 상기 데이터 끝단 및 상기 드레인 전극과 각각 연결되는 보조 게이트 끝단, 보조 데이터 끝단 및 화소 전극을 형성하는 단계를 포함하는 액정 표시 장치용 박막 트랜지스터 기판의 제조 방법.

#### 【청구항 6】

제5항에 있어서, 상기 화소 전극의 형성을 위하여 화소 전극상에 형성되는 포토레지스트층의 노광시, 광의 스캐닝 방향은 상기 데이터선과 수직 방향인 것을 특징으로 하는 액정 표시 장치용 박막 트랜지스터 기판의 제조 방법.

**【청구항 7】**

제5항에 있어서, 상기 기판상에 형성되는 데이터선과 화소 전극간의 간격이 적어도  $6.25\mu m$  인 것을 특징으로 하는 액정 표시 장치용 박막 트랜지스터 기판의 제조 방법.

**【청구항 8】**

제5항에 있어서, 상기 마스크는 한 번에 하나의 셀을 노광시킬 수 있는 마스크인 것을 특징으로 하는 액정 표시 장치용 박막 트랜지스터 기판의 제조 방법.

**【청구항 9】**

제5항에 있어서, 상기 마스크는 한 번에 두 개의 셀을 노광시킬 수 있는 마스크인 것을 특징으로 하는 액정 표시 장치용 박막 트랜지스터 기판의 제조 방법.

**【청구항 10】**

기판상에 게이트 배선층을 형성하는 단계;

상기 게이트 배선층을 식각하여 게이트선, 게이트 끝단 및 게이트 전극을 포함하는 게이트 패턴을 형성하는 단계;

게이트 절연막을 적층하는 단계;

반도체층, 저항성 접촉층, 및 도전체층을 적층하는 단계;

제1 부분, 상기 제1 부분보다 두께가 두꺼운 제2 부분, 상기 제1 두께보다 두께가 얇은 제3 부분을 가지는 감광막 패턴을 형성하되, 마스크를 개재하여 노광시 광의 스캐닝 방향과 형성하고자 하는 데이터선의 길이 방향이 수직 방향이 되도록 하여 노광 공정을 수행하는 단계;

상기 감광막 패턴을 사용하여 데이터선 및 이와 연결된 데이터 끝단, 소스 전극 및 드레인 전극을 포함하는 데이터 배선, 그리고 저항성 접촉층 패턴 및 반도체층 패턴을 형성하는 단계;

보호막을 형성하는 단계;

상기 게이트 절연막과 함께 상기 보호막을 패터닝하여 상기 게이트 끝단, 상기 데이터 끝단 및 상기 드레인 전극을 각각 드러내는 접촉 구멍을 형성하는 단계;

투명 도전막을 적층하는 단계; 및

상기 투명 도전막을 식각하여, 상기 게이트 끝단, 상기 데이터 끝단 및 상기 드레인 전극과 각각 연결되는 보조 게이트 끝단, 보조 데이터 끝단 및 화소 전극을 형성하는 단계를 포함하는 액정 표시 장치용 박막 트랜지스터 기판의 제조 방법.

#### 【청구항 11】

제10항에 있어서, 상기 화소 전극의 형성을 위하여 화소 전극상에 형성되는 포토레지스트층의 노광시, 광의 스캐닝 방향은 상기 데이터선과 수직 방향인 것을 특징으로 하는 액정 표시 장치용 박막 트랜지스터 기판의 제조 방법.

#### 【청구항 12】

제10항에 있어서, 상기 기판상에 형성되는 데이터선과 화소 전극간의 간격이 적어도  $6.25\mu m$  인 것을 특징으로 하는 액정 표시 장치용 박막 트랜지스터 기판의 제조 방법.

#### 【청구항 13】

제10항에 있어서, 상기 마스크는 한 번에 하나의 셀을 노광시킬 수 있는 마스크인 것을 특징으로 하는 액정 표시 장치용 박막 트랜지스터 기판의 제조 방법.

**【청구항 14】**

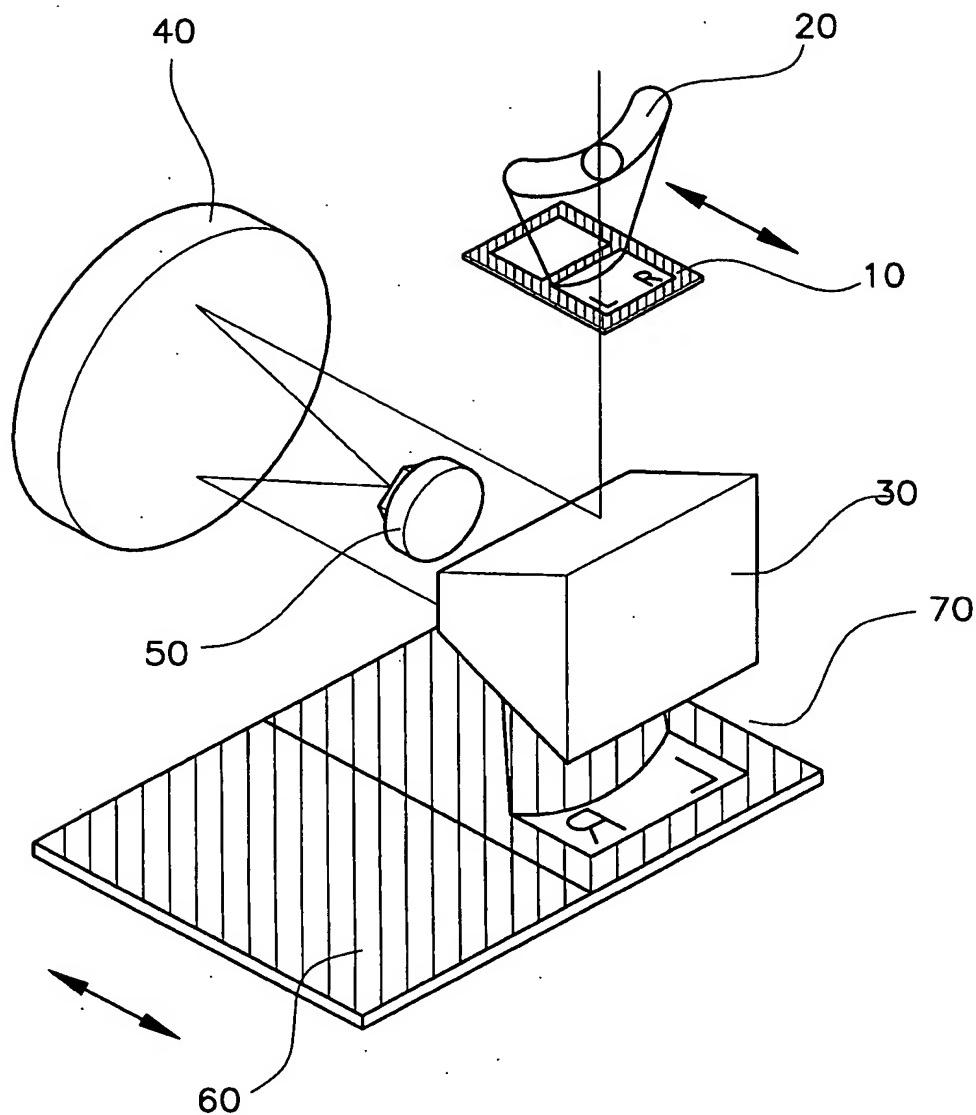
제10항에 있어서, 상기 마스크는 한 번에 복수의 셀을 노광시킬 수 있는 마스크인 것을 특징으로 하는 액정 표시 장치용 박막 트랜지스터 기판의 제조 방법.

**【청구항 15】**

제10항에 있어서, 상기 제1 부분은 상기 소스 전극과 상기 드레인 전극 사이에 위치하도록 형성하고, 상기 제2 부분은 상기 데이터 배선 상부에 위치하도록 형성하는 것을 특징으로 하는 액정 표시 장치용 박막 트랜지스터 기판의 제조 방법.

## 【도면】

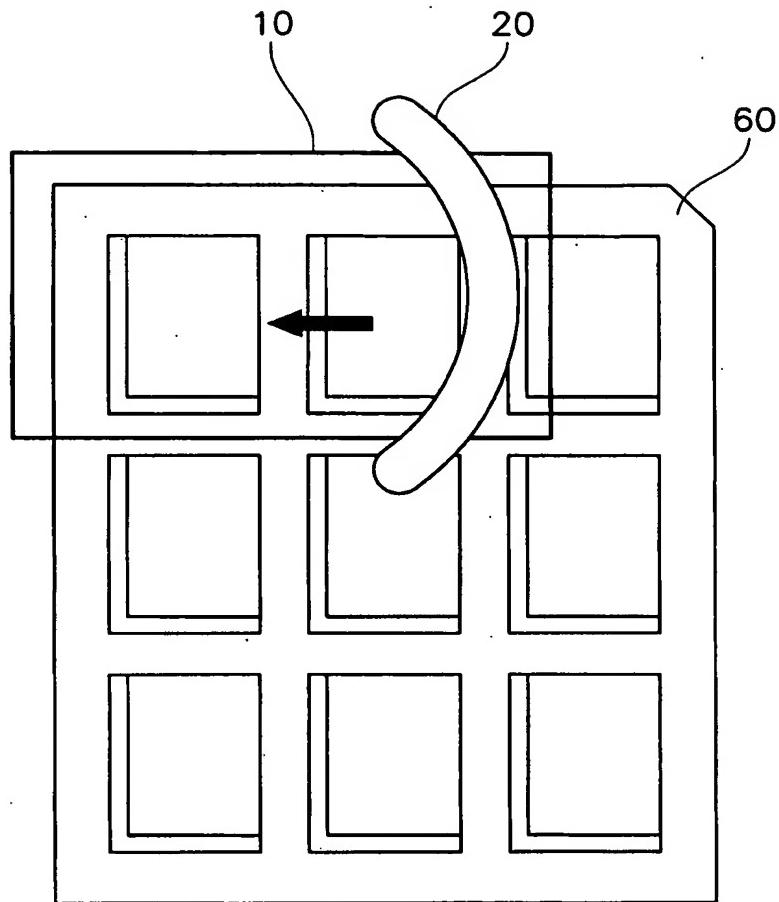
【도 1a】



1020030042850

출력 일자: 2003/7/16

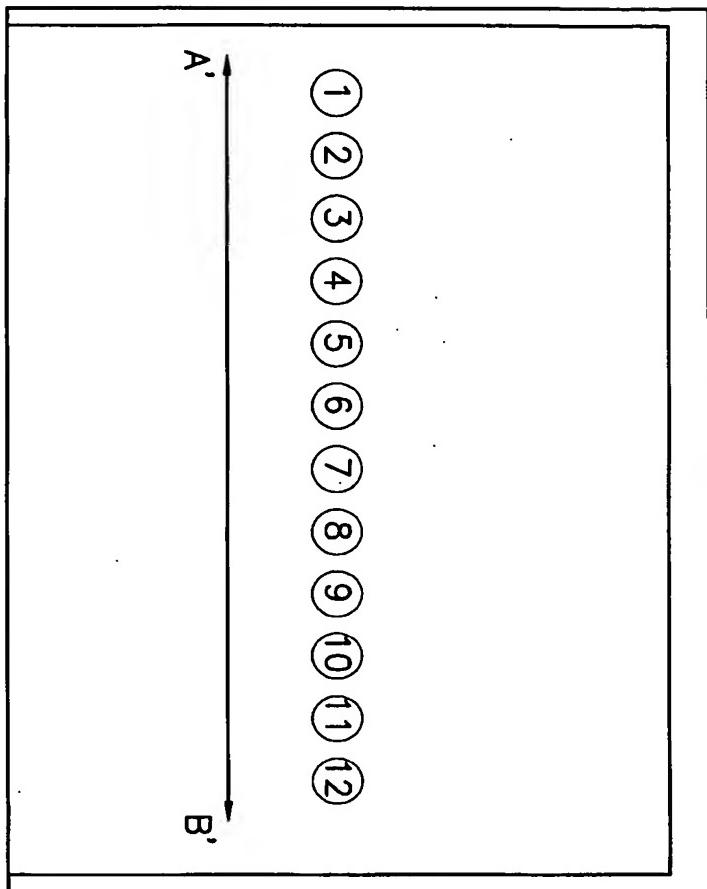
【도 1b】



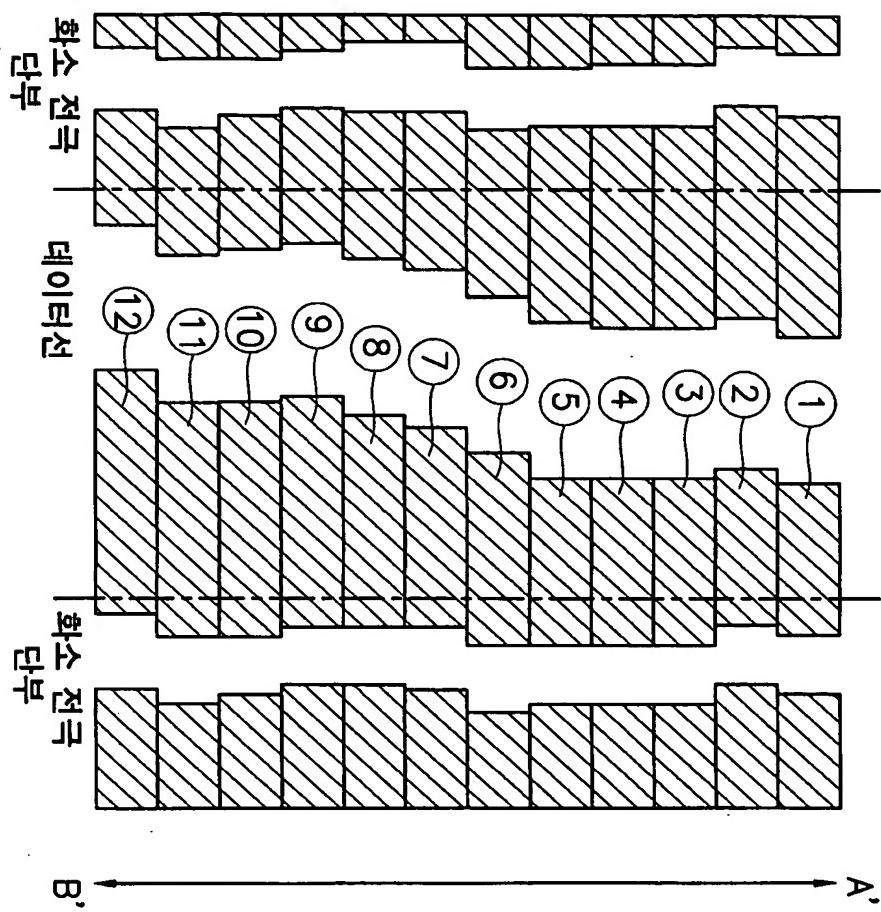
1020030042850

출력 일자: 2003/7/16

【도 2a】



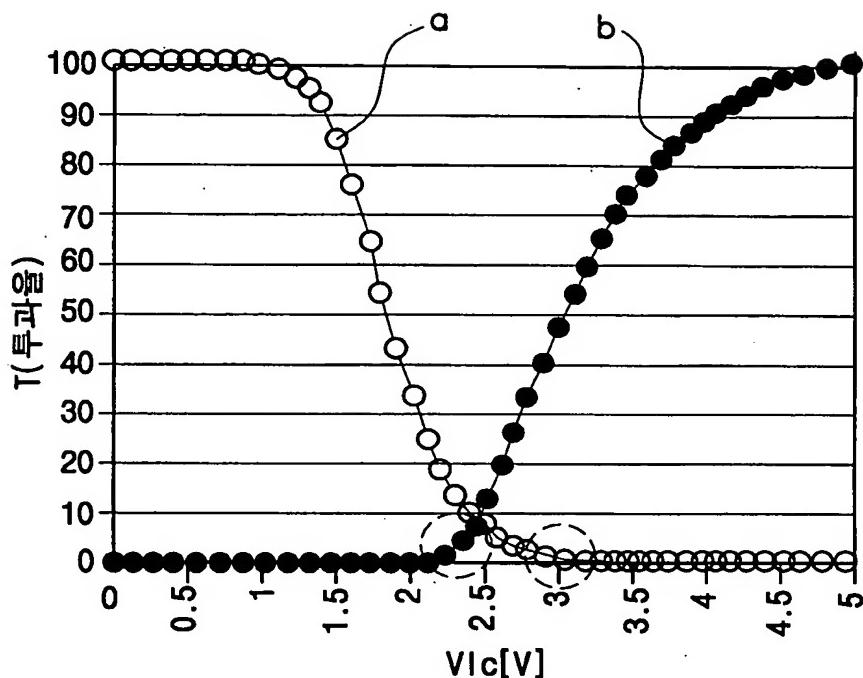
【도 2b】



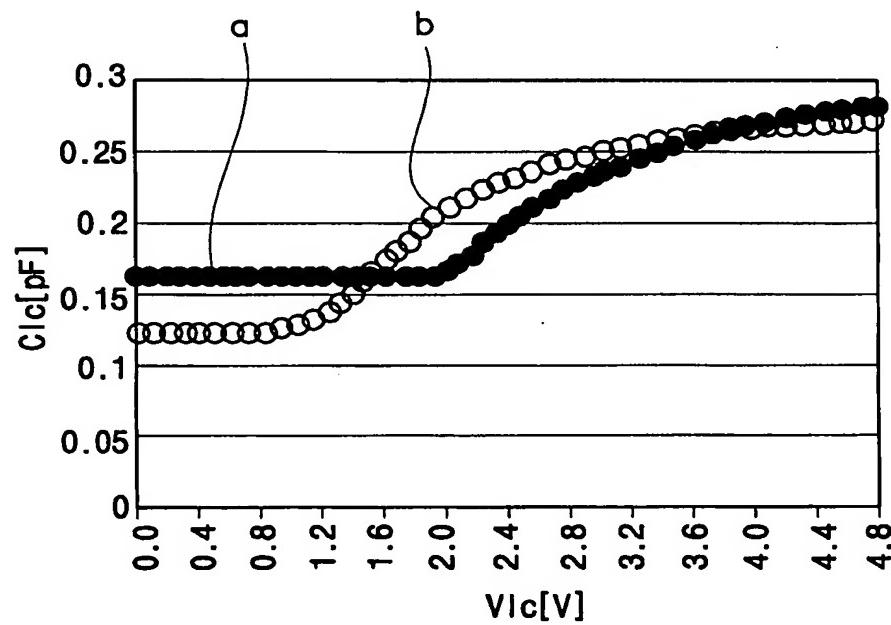
1020030042850

출력 일자: 2003/7/16

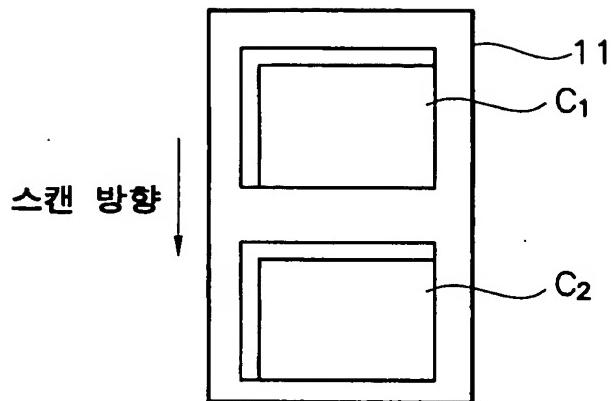
【도 3a】



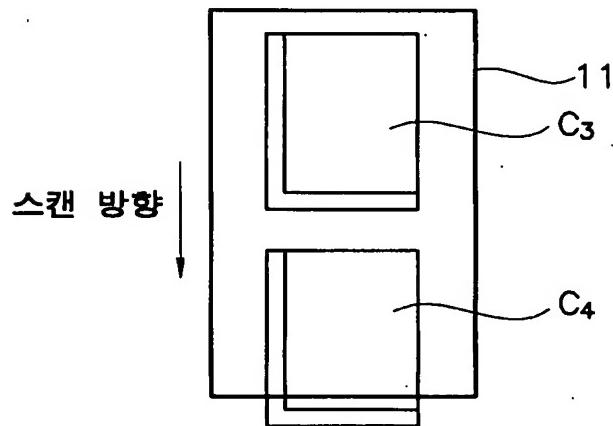
【도 3b】



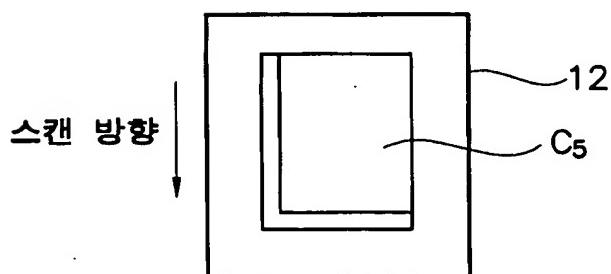
【도 4a】



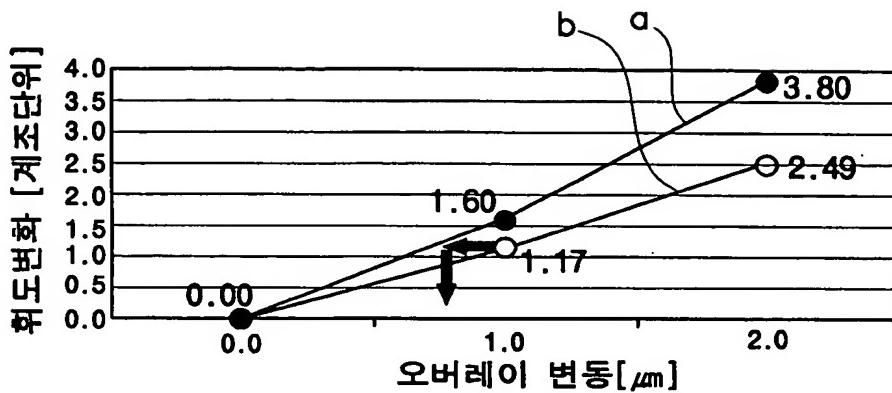
【도 4b】



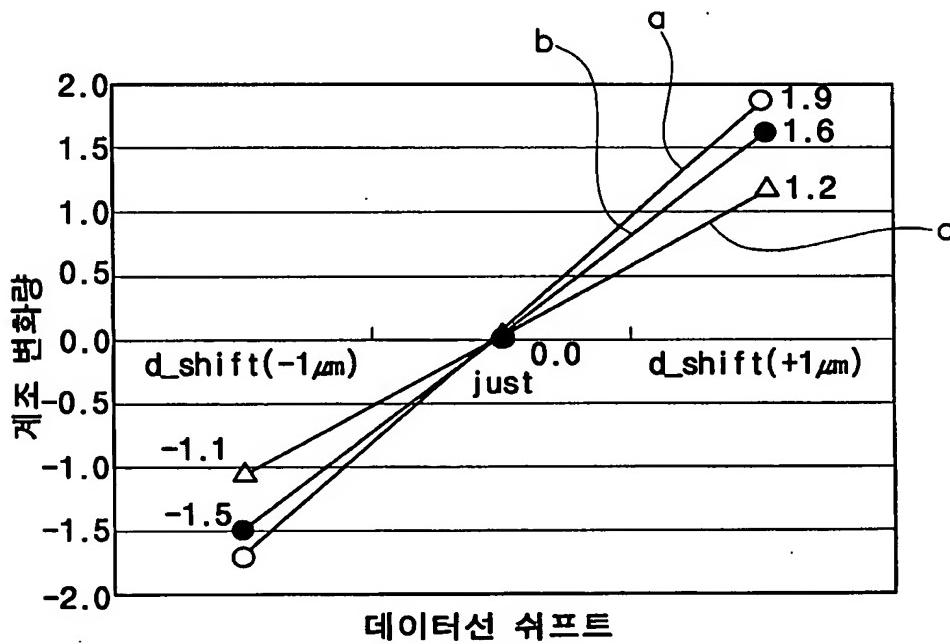
【도 4c】



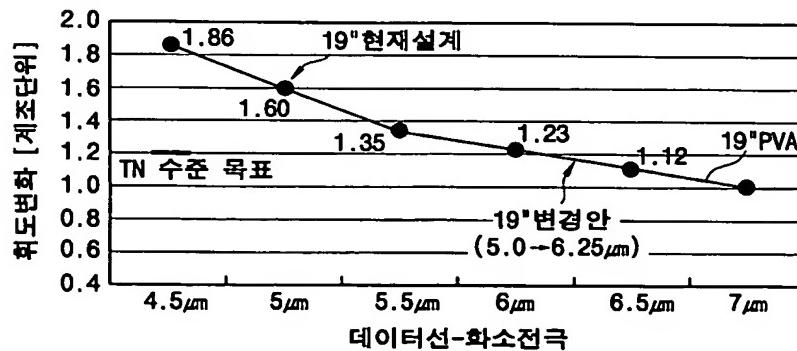
【도 5】



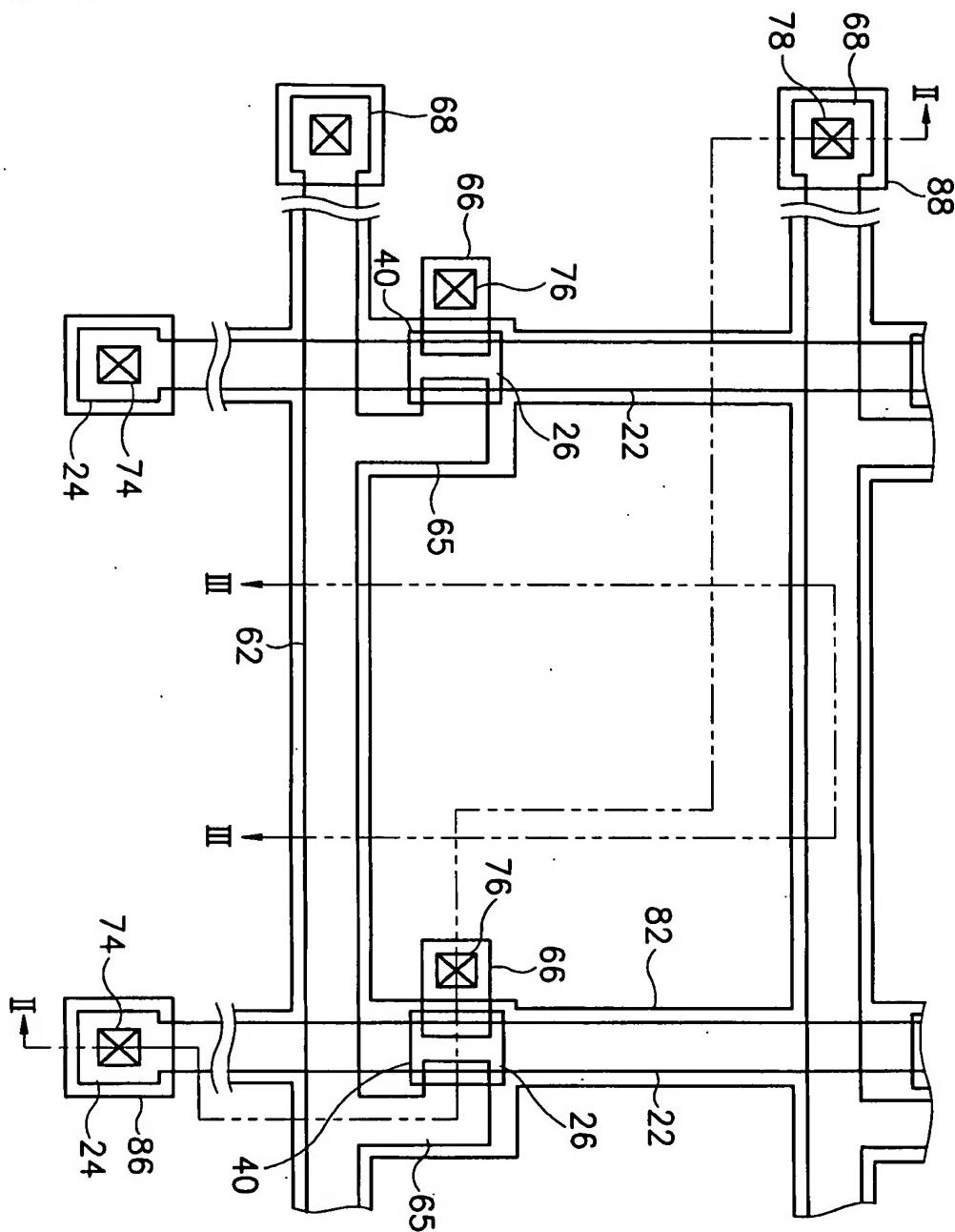
【도 6】



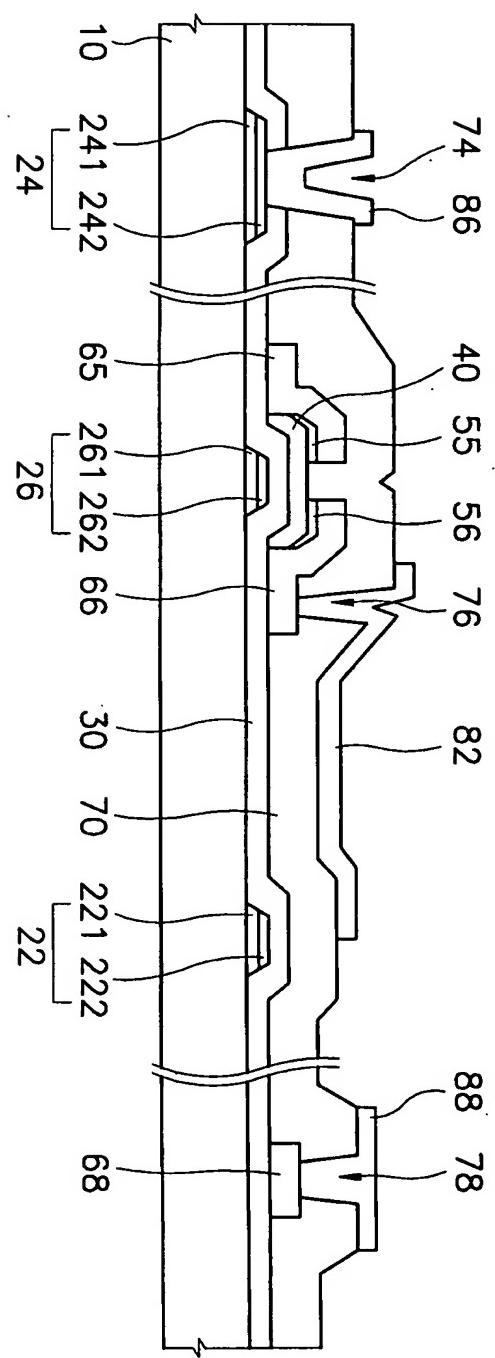
【도 7】



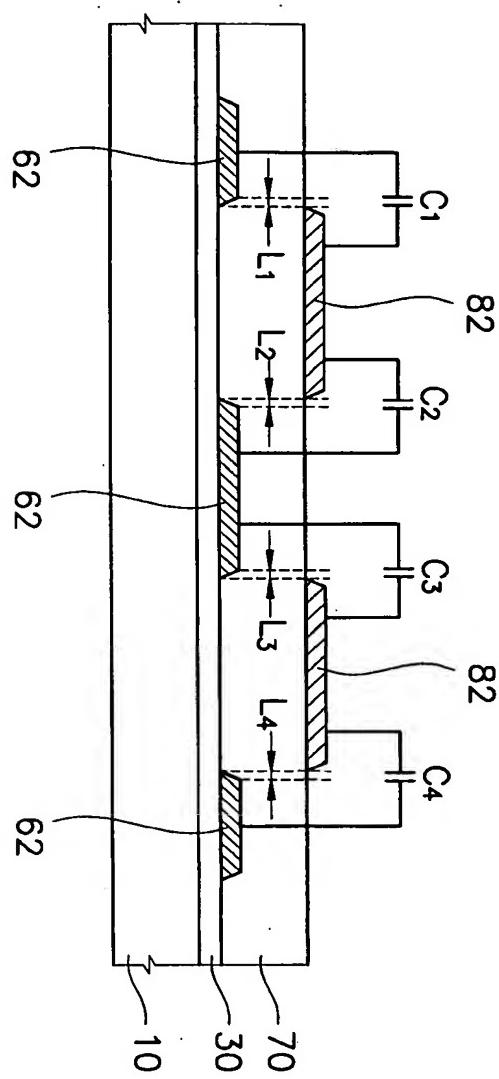
【도 8】



【도 9】



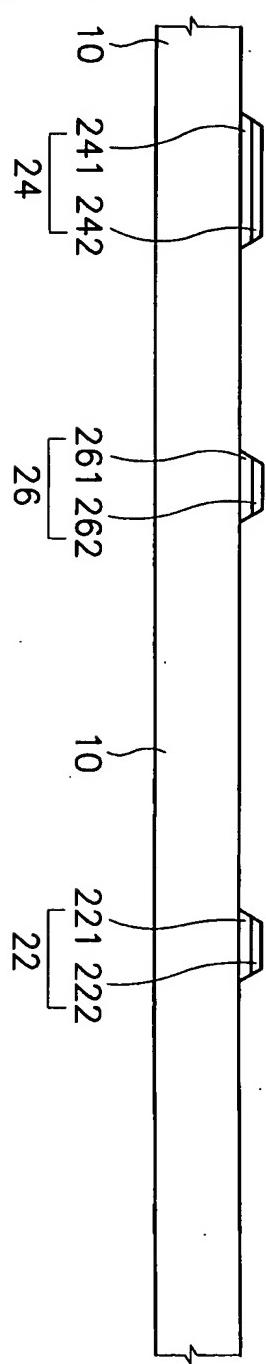
【도 10】



1020030042850

출력 일자: 2003/7/16

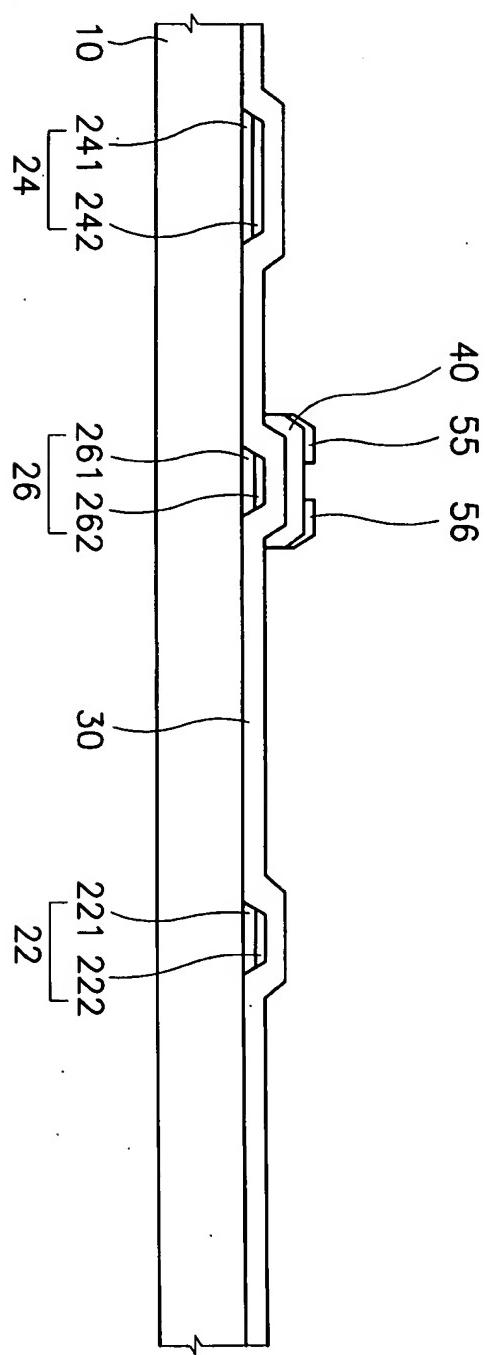
【도 11】



1020030042850

출력 일자: 2003/7/16

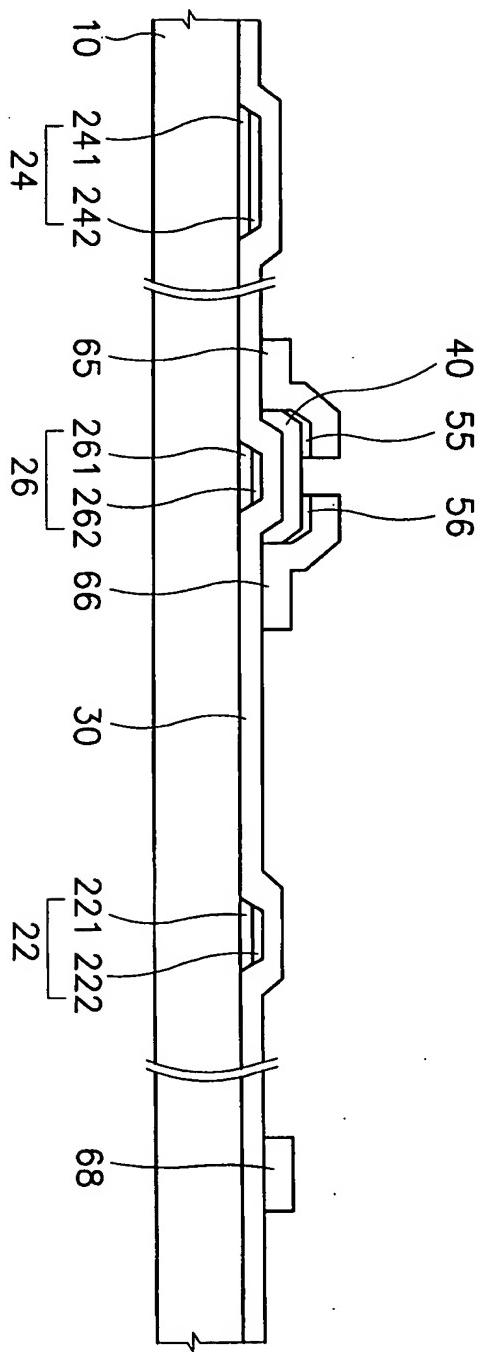
【도 12】



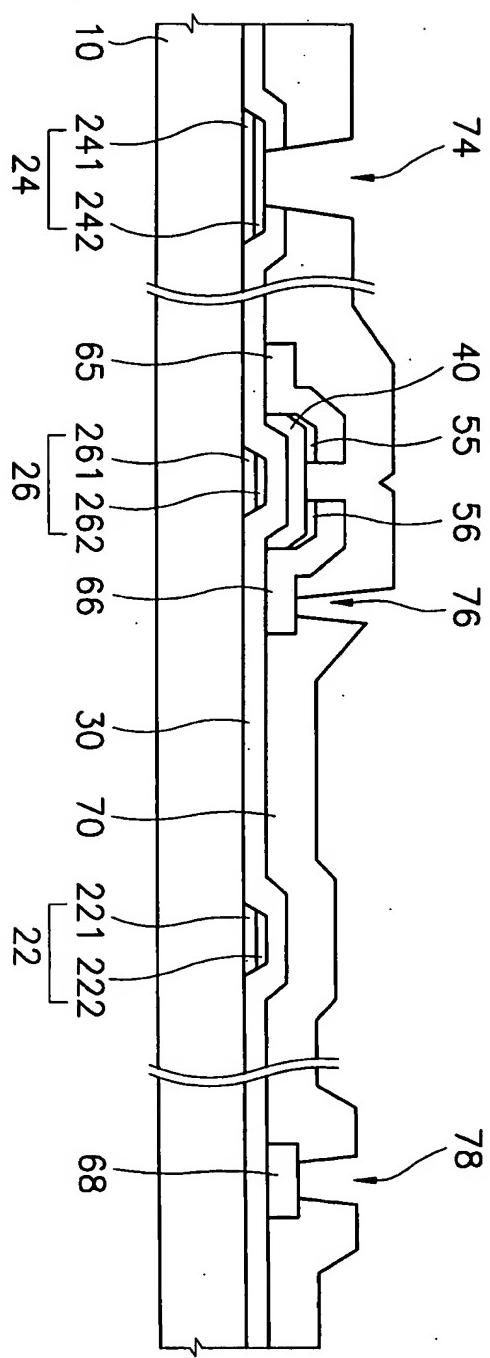
1020030042850

출력 일자: 2003/7/16

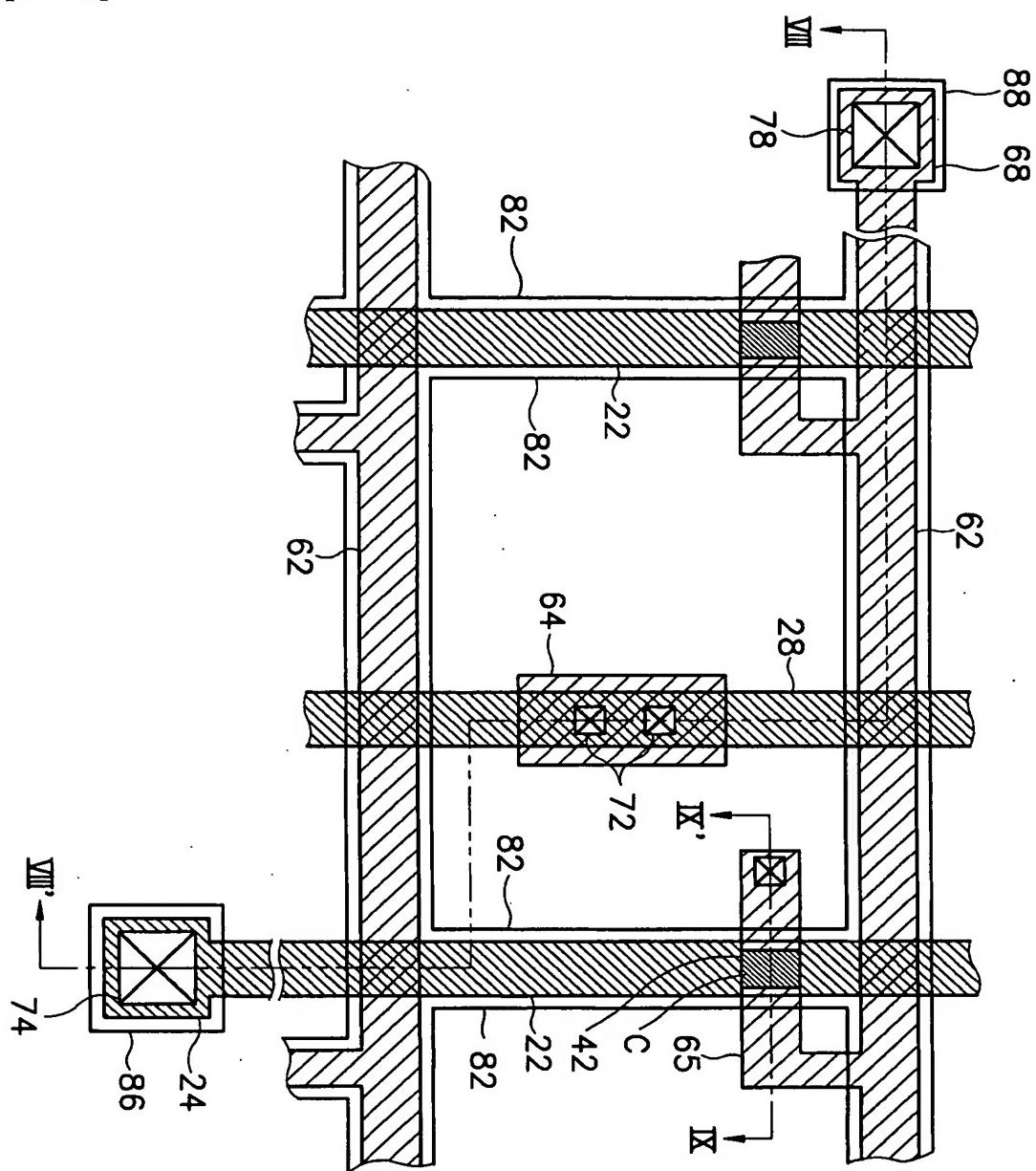
【FIG 13】



【도 14】



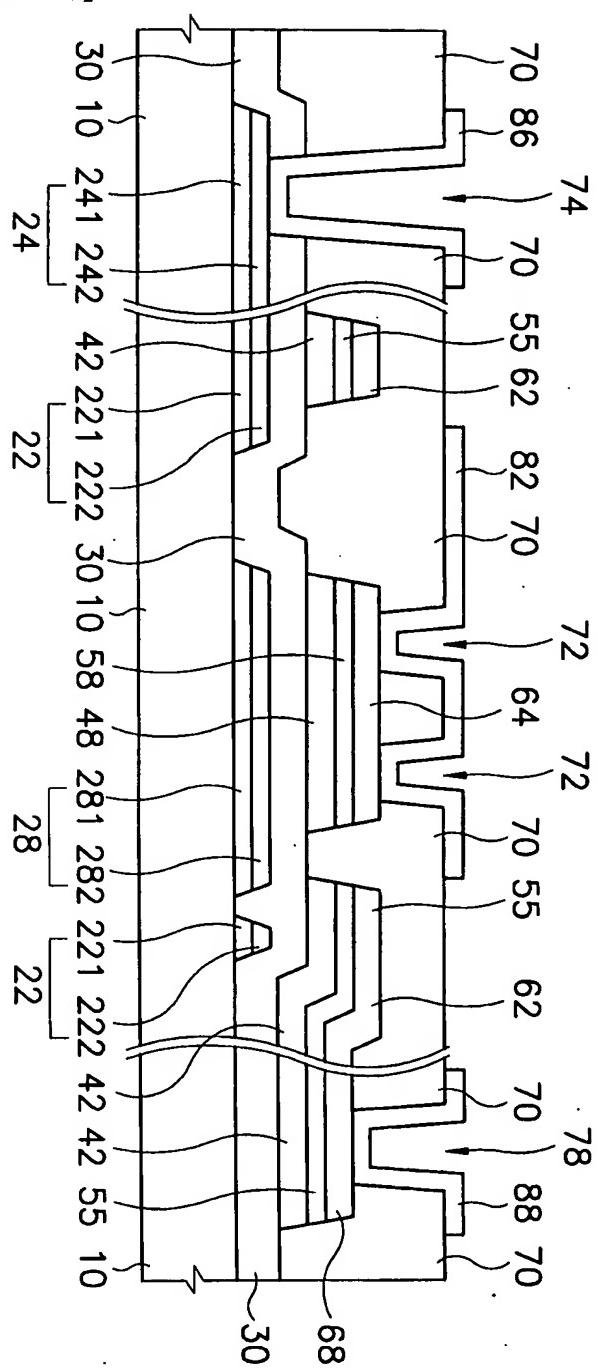
【도 15】



1020030042850

출력 일자: 2003/7/16

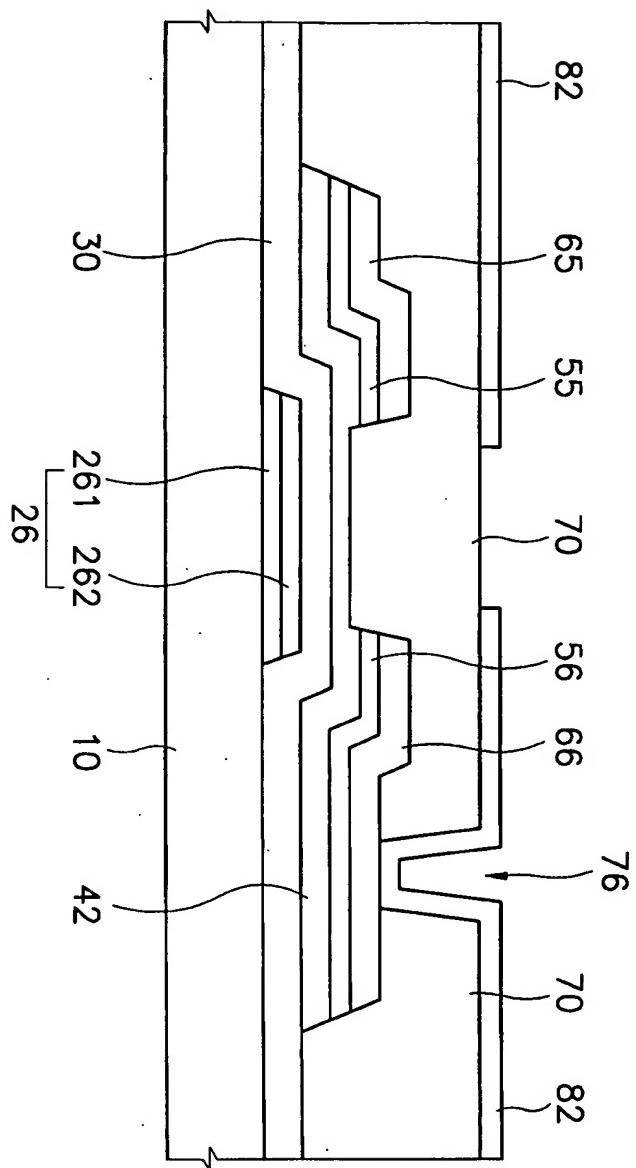
【도 16】



1020030042850

출력 일자: 2003/7/16

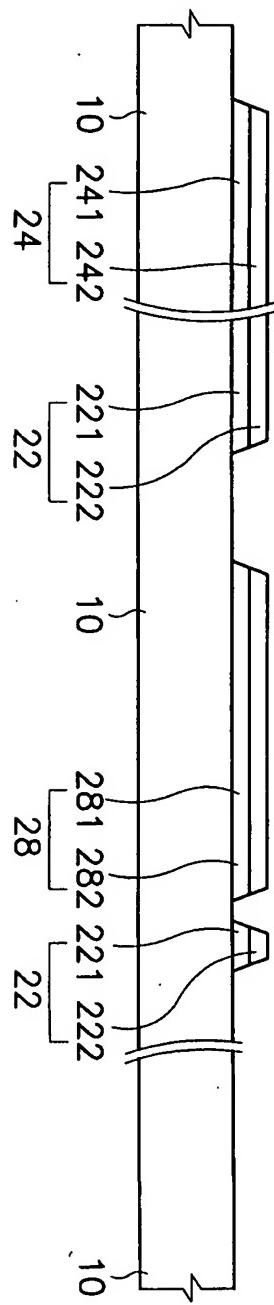
【도 17】



1020030042850

출력 일자: 2003/7/16

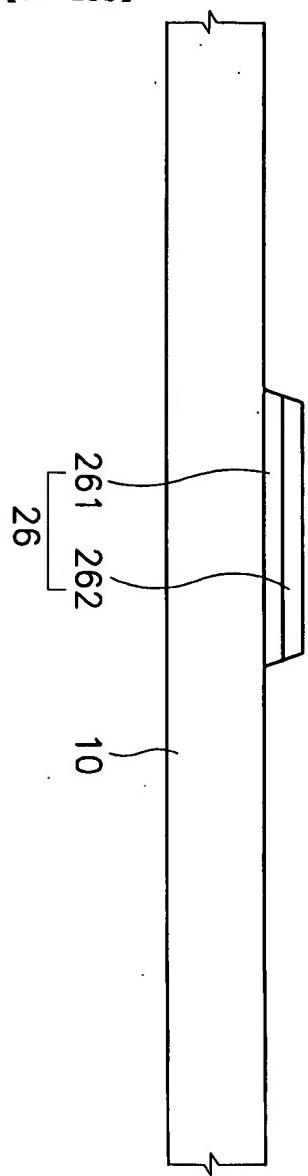
【도 18a】



1020030042850

출력 일자: 2003/7/16

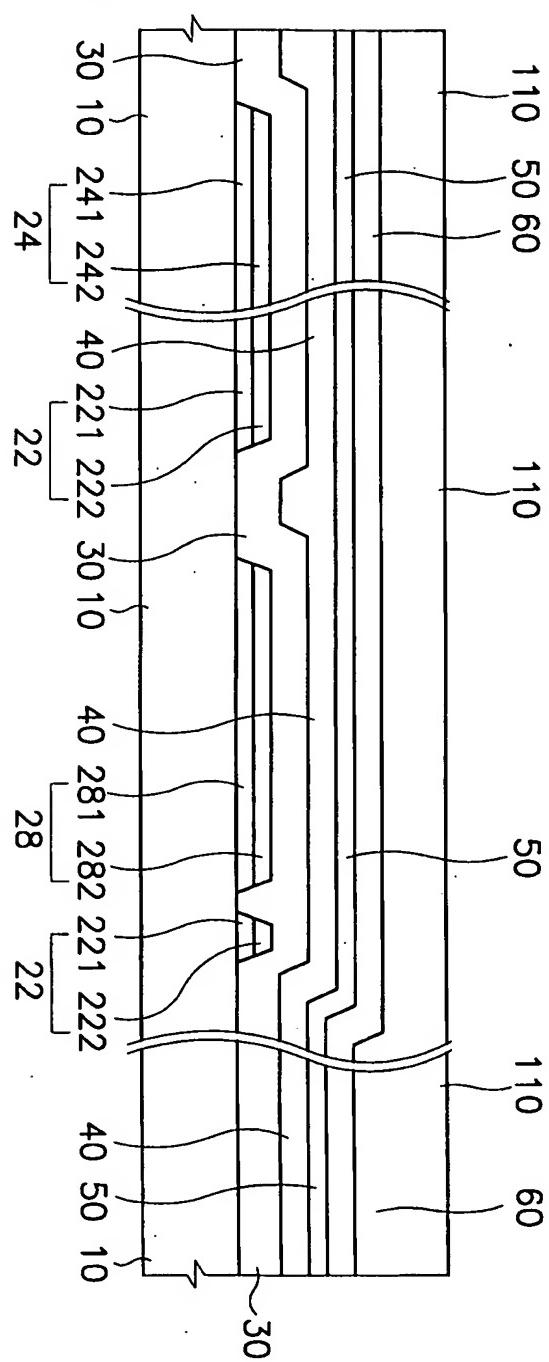
【도 18b】



1020030042850

출력 일자: 2003/7/16

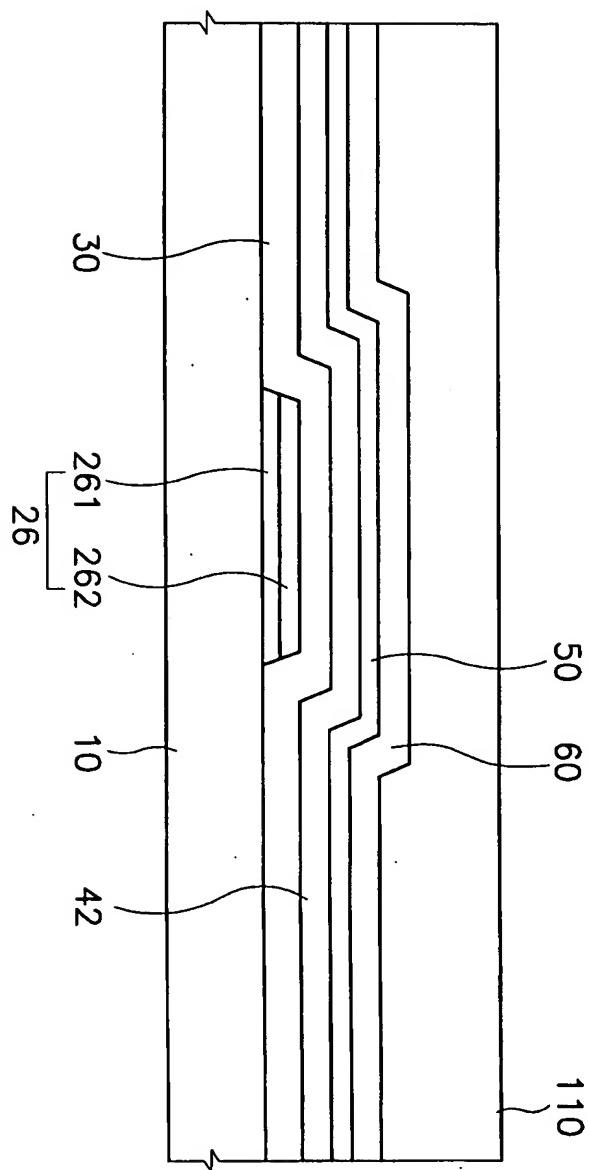
【도 19a】



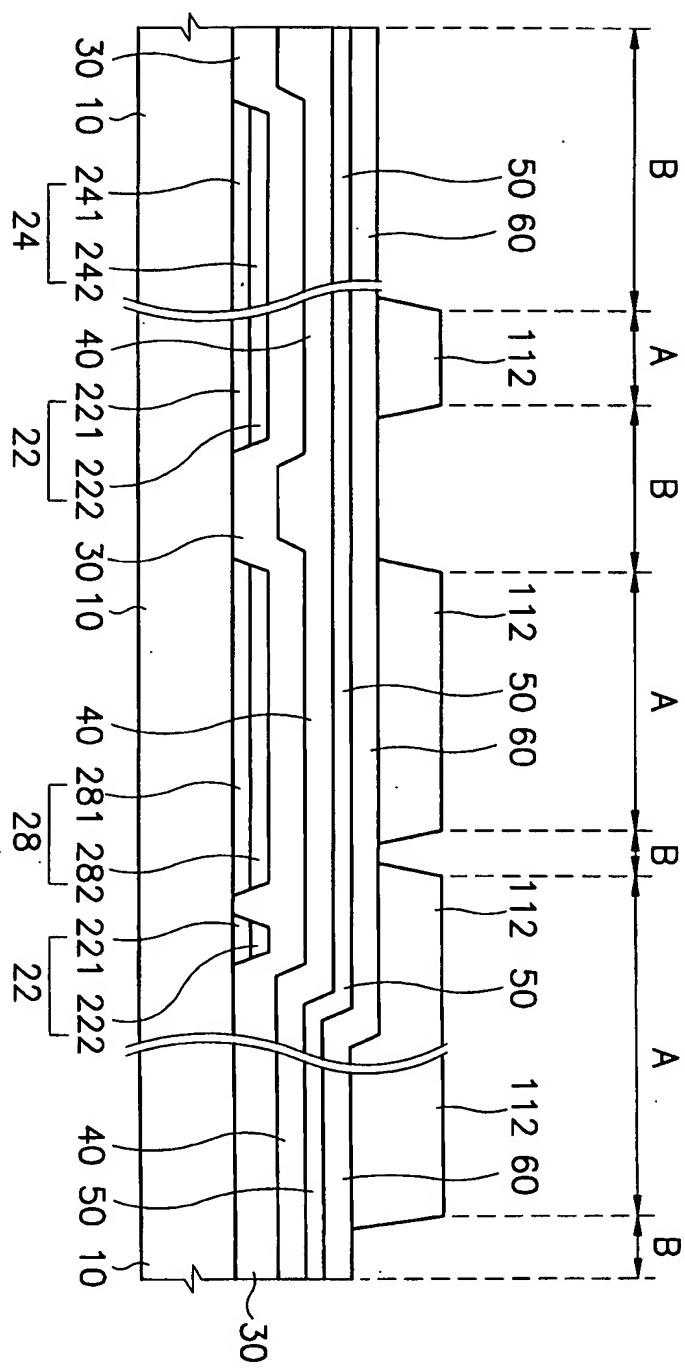
1020030042850

출력 일자: 2003/7/16

【도 19b】



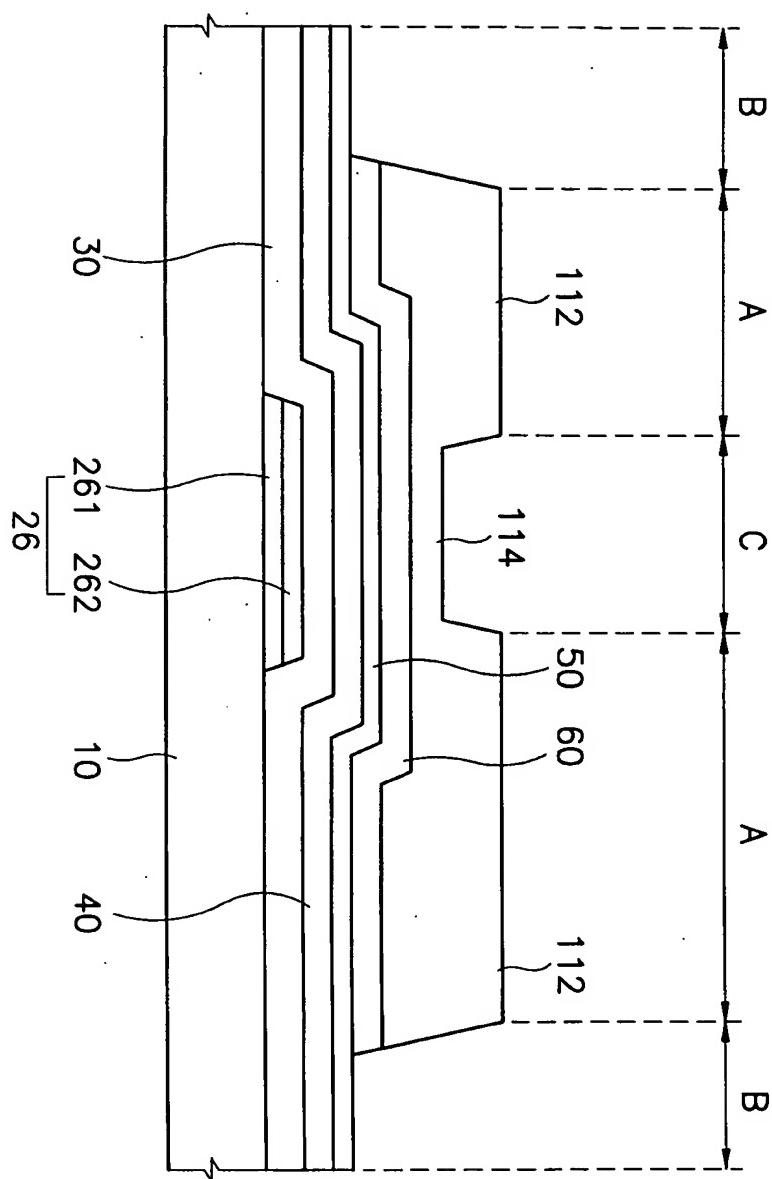
【도 20a】



1020030042850

출력 일자: 2003/7/16

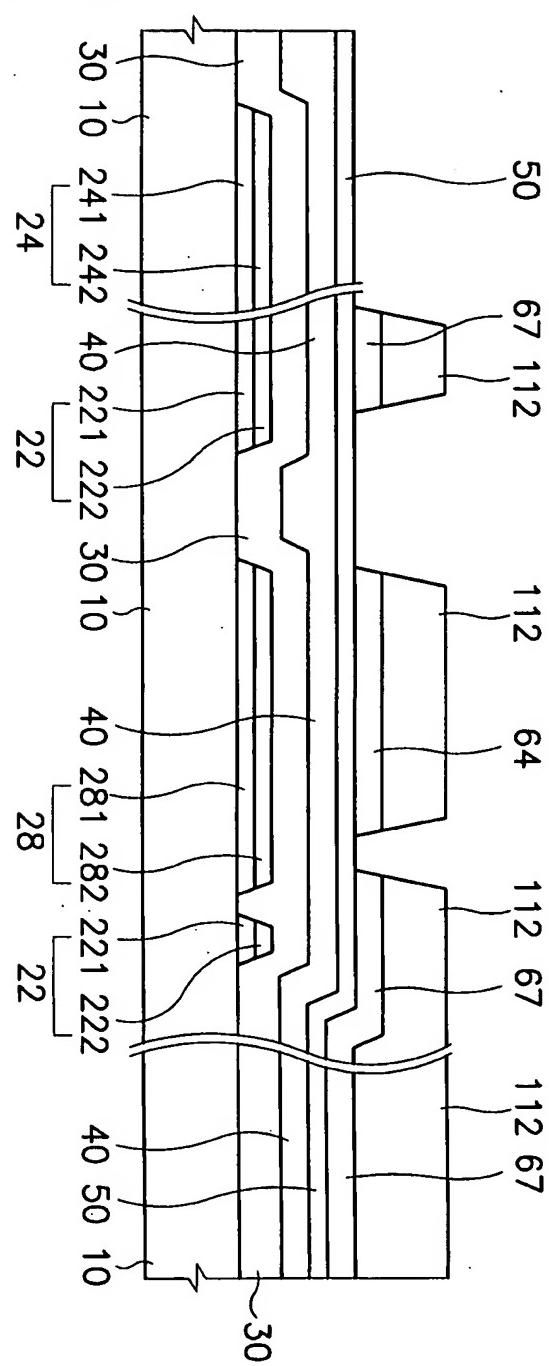
【도 20b】



1020030042850

출력 일자: 2003/7/16

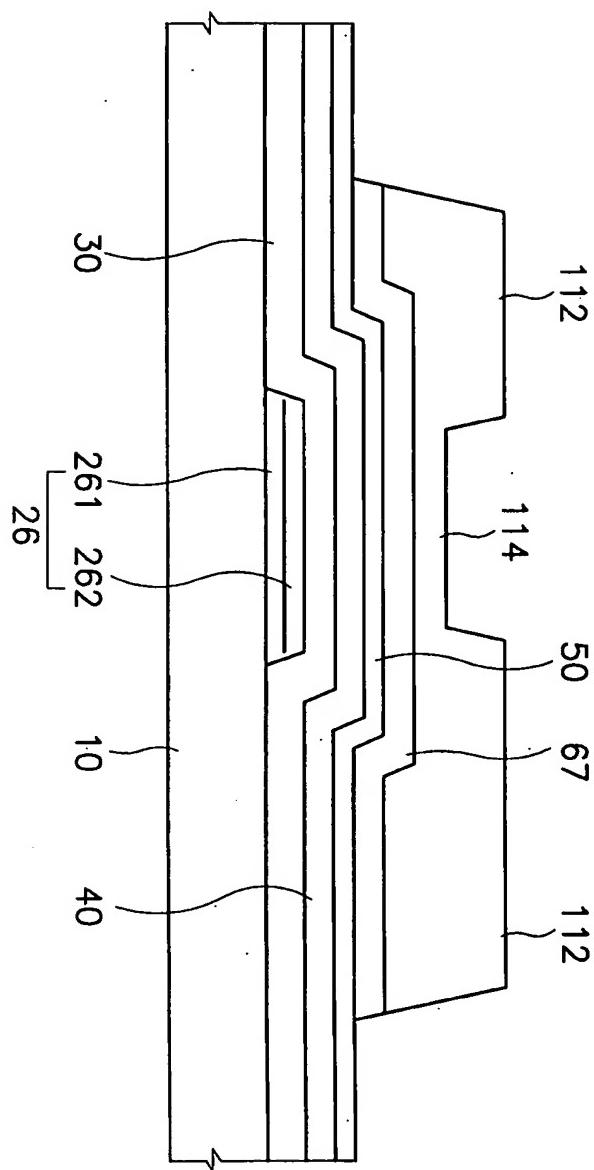
【도 21a】



1020030042850

출력 일자: 2003/7/16

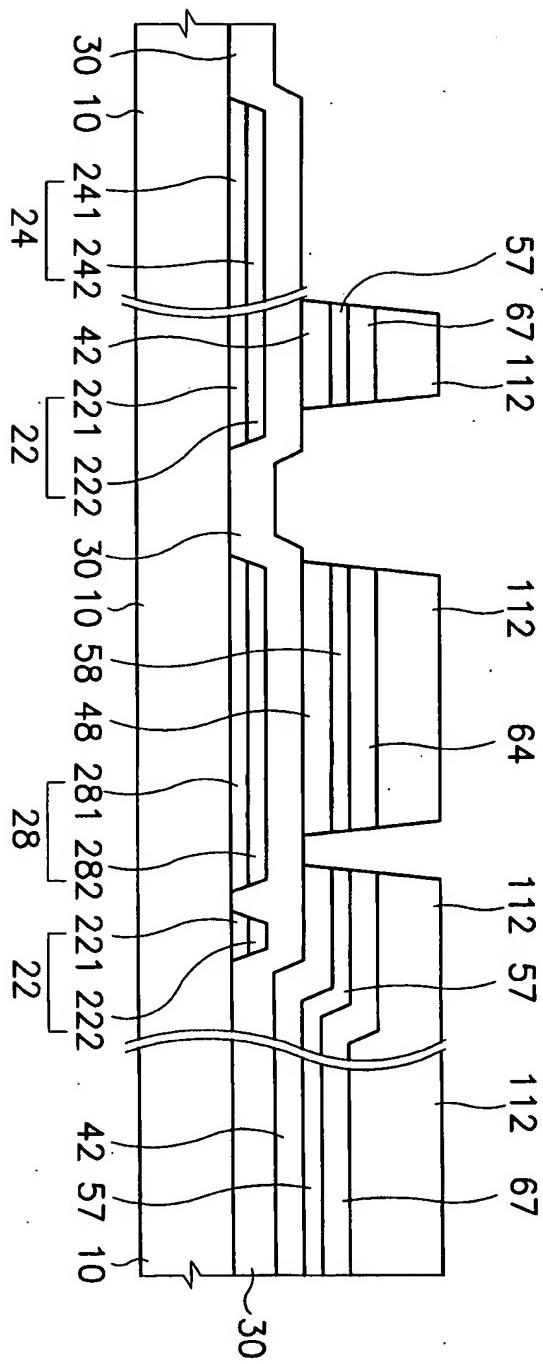
【도 21b】



1020030042850

출력 일자: 2003/7/16

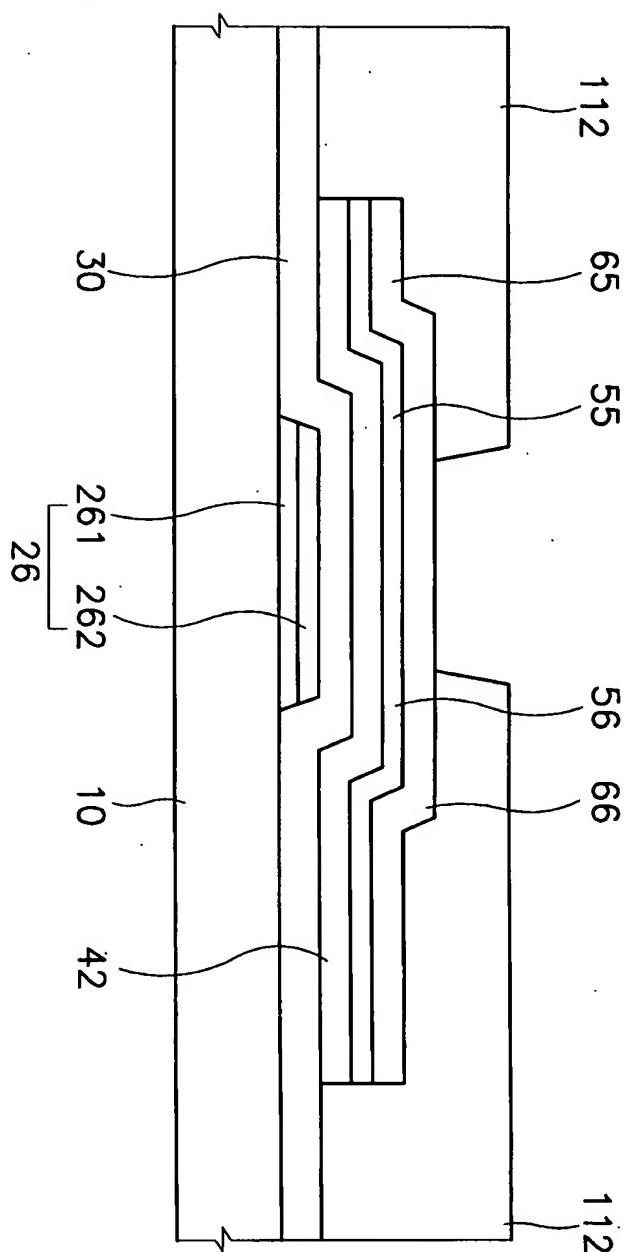
【도 22a】



1020030042850

출력 일자: 2003/7/16

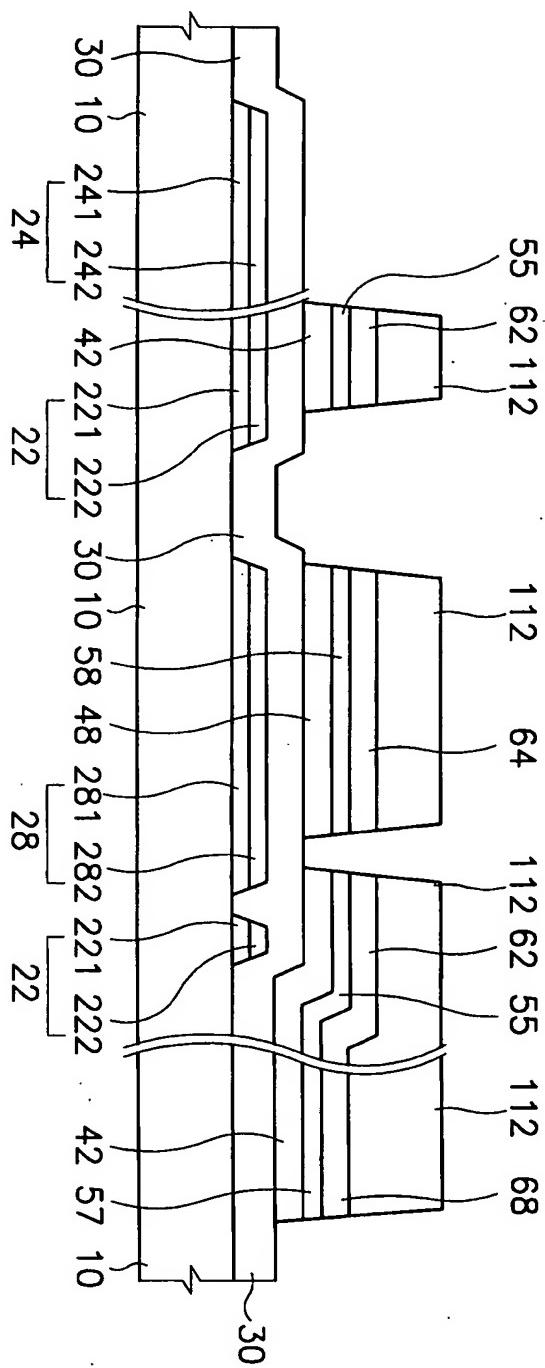
【도 22b】



1020030042850

출력 일자: 2003/7/16

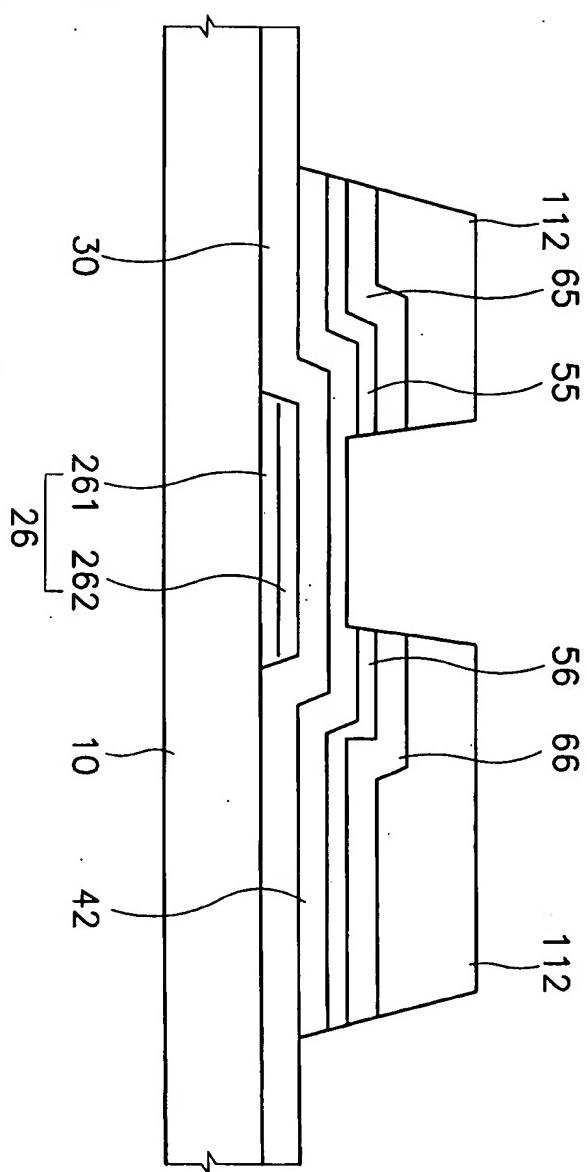
【도 23a】



1020030042850

출력 일자: 2003/7/16

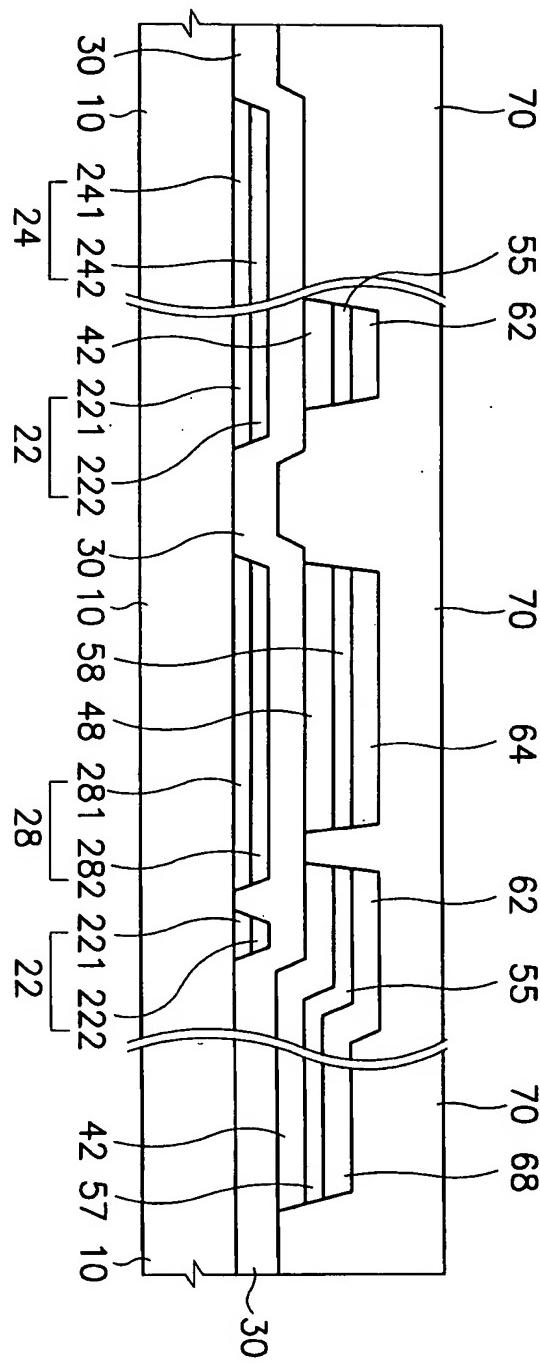
【도 23b】



1020030042850

출력 일자: 2003/7/16

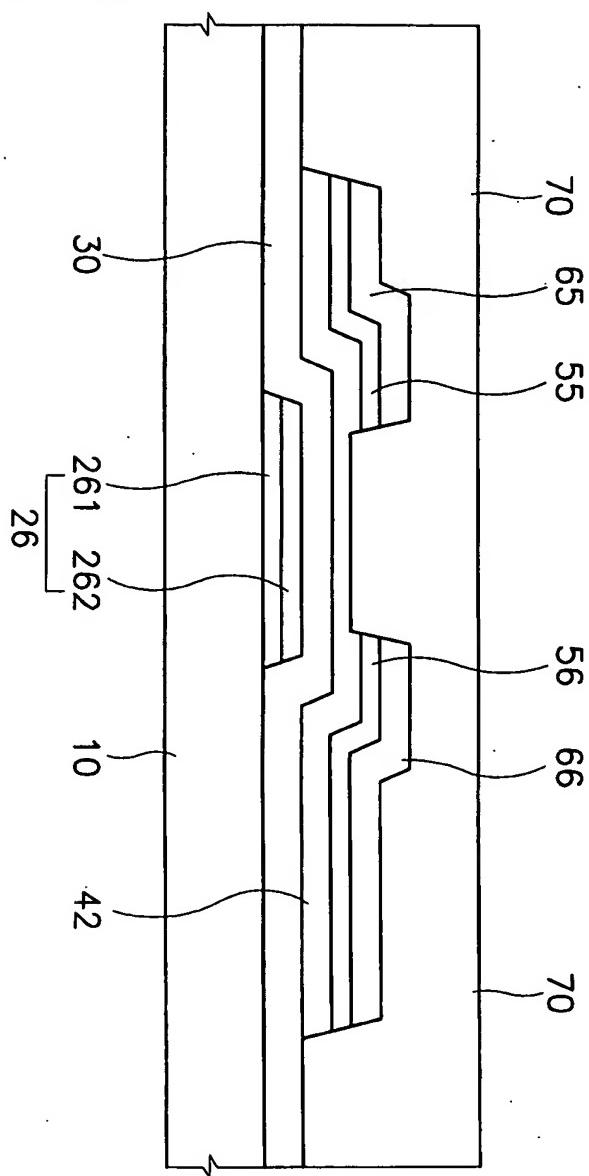
【도 24a】



1020030042850

출력 일자: 2003/7/16

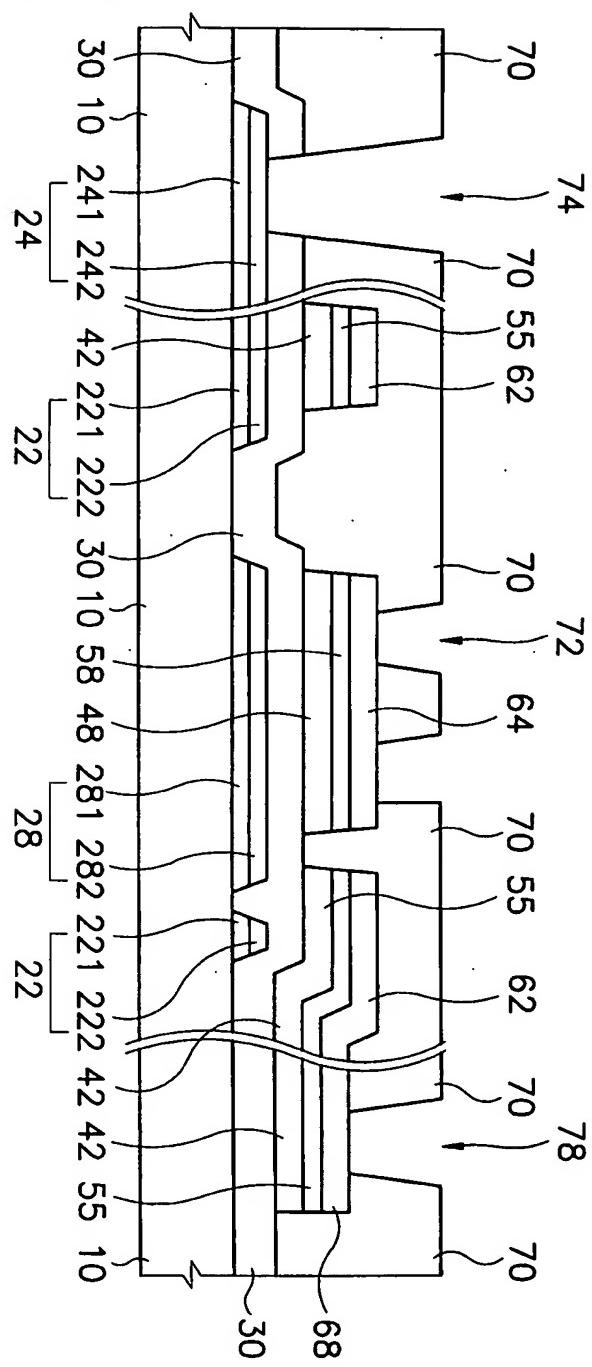
【도 24b】



1020030042850

출력 일자: 2003/7/16

【도 25a】



1020030042850

출력 일자: 2003/7/16

【도 25b】

